

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月17日
Date of Application:

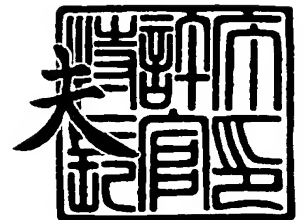
出願番号 特願2003-071660
Application Number:
[ST. 10/C]: [JP 2003-071660]

出願人 富士通株式会社
Applicant(s):

2003年12月16日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3104497

【書類名】 特許願

【整理番号】 0340062

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/406

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 森 郁

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 森 勝宏

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 山田 伸一

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 川畑 邦範

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

【氏名】 伊藤 成真

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 毅巖

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705176

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 記憶したデータをリフレッシュする半導体記憶装置において

、

メモリセルを所定の行ごとにブロック化したセルアレイと、

前記セルアレイのワード線ごとに設けられ、リフレッシュする前記ワード線を選択するための選択信号を、制御信号に応じて順次入力して出力するシフトレジスタと、

前記セルアレイごとに設けられ、前記リフレッシュが終了する前記セルアレイの前記シフトレジスタに出力している前記制御信号の出力を停止し、次にリフレッシュする前記セルアレイの前記シフトレジスタに前記制御信号を出力するシフトレジスタ制御回路と、

を有することを特徴とする半導体記憶装置。

【請求項 2】 前記シフトレジスタ制御回路は、前記リフレッシュが終了する前記セルアレイの前記シフトレジスタが出力する最後のワード線の前記選択信号を、次にリフレッシュする前記セルアレイの前記シフトレジスタに出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記ワード線は、メインワード線とサブワード線とに階層化されており、

前記シフトレジスタ制御回路は、前記リフレッシュ対象となっているメモリセルアレイにおける前記サブワード線の全てのリフレッシュが終了したとき、次のリフレッシュ対象となる前記メモリセルアレイのシフトレジスタに前記制御信号を出力することを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記ワード線は、メインワード線とサブワード線とに階層化されており、前記メインワード線のアドレスが前記セルアレイにおいて一巡したとき、前記サブワード線のアドレスが進められることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記セルアレイは、複数にブロック化され、前記ブロック化

された一部のセルアレイ間においてパーシャルリフレッシュを行うパーシャルリフレッシュ制御回路を有することを特徴とする請求項1記載の半導体記憶装置。

【請求項6】 前記パーシャルリフレッシュ制御回路は、前記リフレッシュが前記セルアレイのリフレッシュ開始点に戻ったとき、パーシャルリフレッシュの要求を受け付けることを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 前記パーシャルリフレッシュ制御回路は、前記リフレッシュを行っていた周期を、前記セルアレイの全領域に対する前記パーシャルリフレッシュが行われる領域の比に分周することを特徴とする請求項5記載の半導体記憶装置。

【請求項8】 前記パーシャルリフレッシュ制御回路は、前記パーシャルリフレッシュが終了するとき、前記リフレッシュする領域を全セルアレイの領域に戻してから、前記リフレッシュを行う周期に戻すことを特徴とする請求項7記載の半導体記憶装置。

【請求項9】 前記サブワード線のアドレスは、間引いて進められることを特徴とする請求項4記載の半導体記憶装置。

【請求項10】 前記セルアレイがリフレッシュされている間は、前記セルアレイの外部／内部アドレス切替え信号を、内部アドレスを参照するように維持することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に記憶したデータをリフレッシュする半導体記憶装置に関する。

【0002】

【従来の技術】

DRAMなどの半導体記憶装置は、リーク電流によりデータの蓄積電荷が徐々に失われるため、一定時間ごとに同一データを繰り返し書き込むリフレッシュ動作が必要となる。

【0003】

従来、このような半導体記憶装置において、リフレッシュするアドレスを生成するアドレスカウンタは、バイナリカウンタによって2のべき乗のアドレスを生成するのが一般的である。そのため、メモリ容量が2のべき乗でない場合、アドレスカウンタは、実際に存在するメモリアドレスとの差分だけ無駄なカウントをし、非効率的な動作をしてしまう。そこで、メモリセルアレイのワード線に対応してシフトレジスタを設け、このシフトレジスタでリフレッシュするアドレスを順次出力し、効率的に動作を行う半導体記憶装置がある。(例えば、特許文献1参照)。

【0004】

【特許文献1】

特開2000-311487号公報(第4頁-第5頁、第1図-第3図)

【0005】

【発明が解決しようとする課題】

しかし、従来の半導体記憶装置では、シフトレジスタを制御する制御信号が全てのシフトレジスタで共通に入力されており、メモリ容量が大きくなるにつれ、制御信号を駆動させることによる電流消費が大きくなるという問題点があった。

【0006】

本発明はこのような点に鑑みてなされたものであり、シフトレジスタの制御信号の電流消費を低減した半導体記憶装置を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に示すような、記憶したデータをリフレッシュする半導体記憶装置において、メモリセルを所定の行ごとにブロック化したセルアレイ1a, 1b, ...と、セルアレイ1a, 1b, ...のワード線WL0~WLnごとに設けられ、リフレッシュするワード線WL0~WLnを選択するための選択信号を、制御信号cntrl, cntr2, ...に応じて順次入力して出力するシフトレジスタ2a~2n, 3a~3n, ...と、セルアレイ1a, 1b, ...ごとに設けられ、リフレッシュが終了するセルアレイ1a, 1b, ...の

シフトレジスタ 2a ~ 2n, 3a ~ 3n, ... に出力している制御信号 *cntrl* 1, 2, ... の出力を停止し、次にリフレッシュするセルアレイ 1a, 1b, ... のシフトレジスタ 2a ~ 2n, 3a ~ 3n, ... に制御信号 *cntrl* 1, 2, ... を出力するシフトレジスタ制御回路 4a, 4b, 4c, ... と、を有することを特徴とする半導体記憶装置が提供される。

【0008】

このような半導体記憶装置によれば、シフトレジスタ制御回路 4a, 4b, 4c, ... によって、セルアレイ 1a, 1b, ... ごとのシフトレジスタ 2a ~ 2n, 3a ~ 3n, ... に制御信号 *cntrl* 1, *cntrl* 2, ... を出力し、リフレッシュするワード線を選択するための選択信号を出力させるようにした。これにより、シフトレジスタ 2a ~ 2n, 3a ~ 3n, ... に出力する制御信号 *cntrl* 1, *cntrl* 2, ... の電流消費を低減する。

【0009】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

図1は、本発明の半導体記憶装置の原理を説明する原理図である。図に示すように、半導体記憶装置は、セルアレイ 1a, 1b, ...、シフトレジスタ 2a ~ 2n, 3a ~ 3n, ...、及びシフトレジスタ制御回路 4a, 4b, 4c, ... を有している。

【0010】

セルアレイ 1a, 1b, ... は、行列状に配置されたメモリセルが、所定の行ごとにブロック化されたメモリセルアレイである。セルアレイ 1a, 1b, ... は、ワード線 *WL* 0, *WL* 1, ..., *WL* n を有している。

【0011】

シフトレジスタ 2a ~ 2n, 3a ~ 3n, ... は、セルアレイ 1a, 1b, ... のワード線 *WL* 0, *WL* 1, ..., *WL* n ごとに設けられ、入出力において縦続接続されている。シフトレジスタ 2a ~ 2n, 3a ~ 3n, ... は、シフトレジスタ制御回路 4a, 4b, 4c, ... から出力される制御信号 *cntrl* 1, *cntrl* 2, ... に応じて、リフレッシュするワード線 *WL* 0, *WL* 1, ..., *WL* n を選択する

ための選択信号を、順次前段のシフトレジスタから入力し、後段のシフトレジスタに順次出力する。

【0012】

シフトレジスタ制御回路 4 a, 4 b, 4 c, …は、セルアレイ 1 a, 1 b, …ごとに設けられている。シフトレジスタ制御回路 4 a, 4 b, 4 c, …は、セルアレイ 1 a, 1 b, …ごとのシフトレジスタ 2 a ~ 2 n, 3 a ~ 3 n, …に制御信号 `cntrl`, `cntr2`, …を出力する。シフトレジスタ制御回路 4 a, 4 b, 4 c, …は、セルアレイ 1 a, 1 b, …のリフレッシュが終了すると、そのリフレッシュが終了したセルアレイ 1 a, 1 b, …のシフトレジスタ 2 a ~ 2 n, 3 a ~ 3 n, …への制御信号 `cntrl`, `cntr2`, …の出力を停止する。そして、次のリフレッシュ対象となるセルアレイ 1 a, 1 b, …のシフトレジスタ 2 a ~ 2 n, 3 a ~ 3 n, …に制御信号 `cntrl`, `cntr2`, …を出力する。

【0013】

以下、原理図の動作について説明する。セルアレイ 1 a がリフレッシュ対象になっているとする。シフトレジスタ 2 a ~ 2 n は、シフトレジスタ制御回路 4 a から出力される制御信号 `cntrl` に応じて、セルアレイ 1 a のワード線 `WL0`, `WL1`, …, `WLn` を選択するための選択信号を順次入力し出力する。

【0014】

セルアレイ 1 a のリフレッシュが終了すると、シフトレジスタ制御回路 4 a は、シフトレジスタ 2 a ~ 2 n への制御信号 `cntrl` の出力を停止する。そして、シフトレジスタ制御回路 4 b は、次にリフレッシュ対象となるセルアレイ 1 b のシフトレジスタ 3 a ~ 3 n に制御信号 `cntr2` を出力する。シフトレジスタ 3 a ~ 3 n は、シフトレジスタ制御回路 4 b から出力される制御信号 `cntr2` に応じて、セルアレイ 1 b のワード線 `WL0`, `WL1`, …, `WLn` を選択するための選択信号を順次入力し出力する。

【0015】

このように、シフトレジスタ制御回路 4 a, 4 b, 4 c, …によって、セルアレイ 1 a, 1 b, …ごとのシフトレジスタ 2 a ~ 2 n, 3 a ~ 3 n, …に制御信

号 $cntrl$, $cntr2$, ... を出力し、リフレッシュするワード線 $WL0$, $WL1$, ..., WLn を選択するための選択信号を順次出力させるようにした。これにより、シフトレジスタ $2a \sim 2n$, $3a \sim 3n$, ... に出力する制御信号 $cntrl$, $cntr2$, ... の電流消費を低減することができる。

【0016】

次に、本発明の第1の実施の形態について説明する。図2は、第1の実施の形態に係る半導体記憶装置の回路図である。図に示すように、半導体記憶装置は、セルアレイ $11x$, $11a$, $11b$, ..., S/A (センスアンプ) $12a$, $12b$, ..., ワード線デコーダ ($mwldc$) $13a \sim 13n$, $14a$, $14b$, ..., ワード線ドライバ ($mwldrv$) $15a \sim 15o$, $16a$, $16b$, ..., 冗長回路 $17a \sim 17o$, $18a$, $18b$, ..., シフトレジスタ $19a \sim 19n$, $20a$, $20b$, ..., シフトスイッチ $21a$, $21b$, ..., $RBLK$ (ROW BLOCK) ラッチ回路 $22a$, $22b$, ..., シフト信号生成回路 $23a$, $23b$, ..., 制御信号生成回路 $24a$, $24b$, ... を有している。

【0017】

セルアレイ $11x$, $11a$, $11b$, ... は、行列状に配置されたメモリセルを、所定の行 (ワード線) ごとにブロック化したメモリセルアレイである。セルアレイ $11x$, $11a$, $11b$, ... は、ワード線ごとにブロック化されているので、各々共通のメインワード線アドレス及びサブワード線アドレスを有している。また、ビット線アドレスは、セルアレイ $11x$ 、セルアレイ $11a$ 、セルアレイ $11b$, ... と続いている。

【0018】

セルアレイ $11a$ のメインワード線は、ワード線ドライバ $15a \sim 15o$ によって駆動される。セルアレイ $11b$ のメインワード線は、ワード線ドライバ $16a$, $16b$, ... によって駆動される。

【0019】

センスアンプ (S/A) $12a$, $12b$, ... は、セルアレイ $11x$, $11a$, $11b$, ... のビット線に出力される電圧を検出し増幅する。センスアンプ $12a$, $12b$, ... は、シェアード方式であり、セルアレイ $11x$, $11a$, $11b$,

…の（ビット線アドレスが続く）両隣のセルアレイで共有される。例えば、図2において、センスアンプ12bは、セルアレイ11aと（ビット線アドレスが続く）セルアレイ11bとで共有される。

【0020】

センスアンプ12a, 12b, …は、外部からの要求によって、データのリード・ライトの対象となった側のセルアレイ11a, 11b, …のビット線の電圧を検出し増幅する。また、センスアンプ12a, 12b, …は、リフレッシュ対象となった側のセルアレイ11x, 11a, 11b, …のビット線の電圧を検出し増幅する。例えば、セルアレイ11aが、リフレッシュ対象となった場合、センスアンプ12aは、セルアレイ11aのビット線の電圧を検出して増幅する。センスアンプ12bは、セルアレイ11aのビット線の電圧を検出して増幅する。

【0021】

ワード線デコーダ13a~13n, 14a, 14b, …は、セルアレイ11a, 11b, …ごとに対応して設けられている。ワード線デコーダ13a~13nは、セルアレイ11aに対応して設けられ、ワード線デコーダ14a, 14b, …は、セルアレイ11bに対応して設けられている。

【0022】

ワード線デコーダ13a~13nは、RBLKラッチ回路22aから出力されるアドレス切替え信号srefcx/z1が入力される。また、ワード線デコーダ13a~13nは、外部から指定される通常アドレスraaz0~raaz7及び通常アドレスrabz0~rabz7が入力される。また、ワード線デコーダ13aは、シフトスイッチ21aから出力されるリフレッシュ信号refa000が入力される。ワード線デコーダ13bは、シフトレジスタ19aから出力されるリフレッシュ信号refa001が入力される。以下、同様にして、ワード線デコーダ13nは、シフトレジスタ19mから出力されるリフレッシュ信号refa063が入力される。

【0023】

アドレス切替え信号srefcx/z1, srefcx/z2は、リフレッシ

要求及び外部からデータのリード・ライト要求を示す信号である。通常アドレス $raaz0 \sim raaz7$ は、外部から指定される下位のアドレスを、通常アドレス $rabz0 \sim rabz7$ は、外部から指定される上位のアドレスを示している。リフレッシュ信号 $refa000 \sim refa063$ は、セルアレイ $11a$ のメインワード線をリフレッシュするための信号である。リフレッシュ信号 $refa100$, $refa101$, ... は、セルアレイ $11b$ のメインワード線をリフレッシュするための信号である。

【0024】

ワード線デコーダ $13a \sim 13n$ は、アドレス切替え信号 $srefcx/z1$ に応じて、通常アドレス $raaz0 \sim raaz7$, $rabz0 \sim rabz7$ 、又は、リフレッシュ信号 $refa000 \sim refa063$ をデコードし、セルアレイ $11a$ のメインワード線を駆動するための信号を冗長回路 $17a \sim 17o$ に出力する。具体的には、ワード線デコーダ $13a \sim 13n$ は、リフレッシュ要求を示すアドレス切替え信号 $srefcx/z1$ が出力された場合（アドレス切替え信号 $srefcx1$ が L 状態、アドレス切替え信号 $srefcz1$ が H 状態）、リフレッシュ信号 $refa000 \sim refa063$ により選択され、メインワード線を駆動するための信号を冗長回路 $17a \sim 17o$ に出力する。ワード線デコーダ $13a \sim 13n$ は、データのリード・ライト要求を示すアドレス切替え信号 $srefcx/z1$ が出力された場合（アドレス切替え信号 $srefcx1$ が H 状態、アドレス切替え信号 $srefcz1$ が L 状態）、通常アドレス $raaz0 \sim raaz7$, $rabz0 \sim rabz7$ をデコードし、メインワード線を駆動するための信号を冗長回路 $17a \sim 17o$ に出力する。

【0025】

ワード線デコーダ $14a$, $14b$, ... は、ワード線デコーダ $13a \sim 13n$ と同様にして、RBLK ラッチ回路 $22b$ から出力されるアドレス切替え信号 $srefcx/z2$ に応じて、通常アドレス $raaz0 \sim raaz7$, $rabz0 \sim rabz7$ をデコードするか、又は、リフレッシュ信号 $refa100$, $refa101$, ... により選択される。そして、ワード線デコーダ $14a$, $14b$, ... は、セルアレイ $11b$ のメインワード線を駆動するための信号を冗長回路 $18a$

, 18bに出力する。

【0026】

図3は、ワード線デコーダの回路図の一例である。図に示すように、ワード線デコーダ13aは、トランジスタM1a～M1n, M2～M4を有している。トランジスタM1a～M1nは、pチャネル及びnチャネルのMOSトランジスタである。トランジスタM2～M4は、nチャネルのMOSトランジスタである。

【0027】

トランジスタM1a～M1nは、ソース、ドレインにおいて直列接続されている。トランジスタM1aのソース又はドレインは、冗長回路17a, 17bと接続されている。トランジスタM1a～M1nのゲートは、通常アドレスraaz0～raaz7, rabz0～rabz7が入力される。トランジスタM1a～M1nは、ゲートに所定の通常アドレスraaz0～raaz7, rabz0～rabz7が入力されることによって、トランジスタM1aートランジスタM1n間がオンする。

【0028】

トランジスタM2のゲートは、アドレス切替え信号srefcx1が入力される。トランジスタM2のソースには、通常アドレスraaz0～raaz7, rabz0～rabz7が確定したとき、リフレッシュ信号refa000が確定したときに出力される電圧bkexが入力される。トランジスタM2は、データのリード・ライト要求を示すH状態のアドレス切替え信号srefcx1が入力された場合、ソースドレイン間をオンする。このとき、相補信号のアドレス切替え信号srefcz1はL状態となり、トランジスタM4はオフする。

【0029】

すなわち、トランジスタM2にデータのリード・ライト要求を示すH状態のアドレス切替え信号srefcx1が入力され、トランジスタM1a～M1nに所定の通常アドレスraaz0～raaz7, rabz0～rabz7が入力されたとき、トランジスタM1a～Mn, M2はオンし、トランジスタM1aに電圧bkexが出力される。トランジスタM1aに出力された電圧bkexは、ワード線を選択するためのワード線ドライブ信号pmw1xとして冗長回路17a,

17bに出力される。

【0030】

トランジスタM3のソースは、トランジスタM4のドレインと接続されている。トランジスタM3のゲートは、リフレッシュ信号refa000が入力される。トランジスタM3のドレインは、トランジスタM1aのドレインと接続されている。トランジスタM4のゲートは、アドレス切替え信号srefcz1が入力される。トランジスタM4のソースには、リフレッシュ信号refa000が確定したときに出力される電圧bkexが入力される。

【0031】

すなわち、トランジスタM4にリフレッシュ要求を示すH状態のアドレス切替え信号srefcz1が入力され、トランジスタM3にリフレッシュ信号refa000が入力されたとき、トランジスタM3、M4はオンし、トランジスタM3のドレインに電圧bkexが出力される。トランジスタM3のドレインに出力された電圧bkexは、ワード線ドライブ信号pmw1xとして冗長回路17a, 17bに出力される。

【0032】

ワード線デコーダ13aとワード線デコーダ13b～13nの各々は、トランジスタM1a～1nに入力する通常アドレスが異なり、トランジスタM3にリフレッシュ信号refa001, …, refa063が入力される以外同様である。すなわち、ワード線デコーダ13a～13nは、所定の通常アドレスraaz0～raaz7, rabz0～rabz7が入力されることによって、一つのみがメインワード線を駆動するための信号（ワード線ドライブ信号pmw1x）を出力する。なお、ワード線デコーダ14a, 14b, …も、ワード線デコーダ13a～13nと同様の回路構成であり、その説明を省略する。

【0033】

図2の説明に戻る。ワード線ドライバ15a～15o, 16a, 16b, …は、セルアレイ11a, 11b, …ごとに対応して設けられている。ワード線デコーダ13a～13nは、セルアレイ11aに対応して設けられ、ワード線デコーダ14a, 14b, …は、セルアレイ11bに対応して設けられている。

【0034】

ワード線ドライバ15a～15oは、冗長回路17a～17oを介して入力される、ワード線デコーダ13a～13nからのメインワード線を駆動するための信号に応じて、セルアレイ11aのメインワード線を駆動する。同様に、ワード線ドライバ16a, 16b, …は、冗長回路18a, 18b, …を介して入力される、ワード線デコーダ14a, 14b, …からのメインワード線を駆動するための信号に応じて、セルアレイ11bのメインワード線を駆動する。

【0035】

冗長回路17a～17o, 18a, 18b, …は、不良のメモリセルを救済するための回路である。ワード線デコーダ13a～13n, 14a, 14b, …の出力は、2つの冗長回路と接続されている。冗長回路17a～17o, 18a, 18b, …は、セルアレイ11a, 11b, …のあるメインワード線におけるメモリセルが不良だった場合、ワード線デコーダ13a～13n, 14a, 14b, …から出力されるメインワード線を駆動するための信号を、良好なメモリセルと接続されているワード線ドライバ15a～15o, 16a, 16b, …に出力するようにする。例えば、ワード線ドライバ15aが駆動するメインワード線のメモリセルに不良があったとする。この場合、冗長回路17aは、ワード線デコーダ13aから出力されるメインワード線を駆動するための信号をワード線ドライバ15aに出力せずワード線ドライバ15bに出力する。

【0036】

シフトレジスタ19a～19n, 20a, 20b, …は、セルアレイ11a, 11b, …に対応して設けられている。シフトレジスタ19a～19nは、セルアレイ11aに対応して設けられ、シフトレジスタ20a, 20b, …は、セルアレイ11bに対応して設けられている。さらに、シフトレジスタ19a～19nは、セルアレイ11aのメインワード線ごとに対応して、シフトレジスタ20a, 20b, …は、セルアレイ11bのメインワード線ごとに対応して設けられている。

【0037】

シフトレジスタ19a～19nは、シフト信号生成回路23aから出力される

サブシフト信号 $ssftx/z1$ が入力される。シフトレジスタ $19a \sim 19n$ は、サブシフト信号 $ssftx/z1$ に同期して、シフトスイッチ $21a$ から出力されるリフレッシュ信号 $refa000$ を基に、順次リフレッシュ信号 $refa001 \sim refa064$ を出力する。なお、リフレッシュ信号 $refa001 \sim refa064$ は、1つずつ順に出力され、同時に出力されない。

【0038】

シフトレジスタ $20a, 20b, \dots$ もシフトレジスタ $19a \sim 19n$ と同様に、シフト信号生成回路 $23b$ から出力されるサブシフト信号 $ssftx/z2$ に同期して、シフトスイッチ $21b$ から出力されるリフレッシュ信号 $refa100$ を基に、順次リフレッシュ信号 $refa101 \dots$ を出力する。

【0039】

図4は、シフトレジスタの回路図の一例である。図では、リフレッシュ信号 $refa001$ の初期値としてH状態を持つ場合を示しているが、ラッチ回路 32 の構成変更により、リフレッシュ信号 $refa001$ の初期値をL状態にした場合も、その他の構成は同様である。図に示すように、シフトレジスタ $19a$ は、トランスファゲート $31, 33$ 、ラッチ回路 $32, 34$ を有している。

【0040】

トランスファゲート 31 は、トランジスタ $M5, M6$ から構成されている。トランジスタ $M5$ は、pチャネルのMOSトランジスタである。トランジスタ $M6$ は、nチャネルのMOSトランジスタである。トランジスタ $M5$ のゲートは、サブシフト信号 $ssftz1$ が入力されている。トランジスタ $M6$ のゲートは、サブシフト信号 $ssftx1$ が入力されている。トランスファゲート 31 は、サブシフト信号 $ssftx/z1$ に応じて、前段のシフトスイッチ $21a$ から出力されるリフレッシュ信号 $refa000$ をラッチ回路 32 に出力する。

【0041】

ラッチ回路 32 は、インバータ回路 $Z1$ 、NAND回路 $Z2$ から構成されている。NAND回路 $Z2$ の一端には、初期化信号 $clrnx$ が入力される。初期化信号 $clrnx$ は、図2に示す各種制御信号 csg が有している信号の1つである。ラッチ回路 32 は、トランスファゲート 31 から出力されるリフレッシュ

信号 `refa000` をラッチしてトランスファゲート 33 に出力する。また、初期化信号 `clrn x` が NAND 回路 Z2 に入力されると、ラッチ回路 32 は、ラッチしていたリフレッシュ信号 `refa000` を初期化してトランスファゲート 33 に出力する。

【0042】

トランスファゲート 33 は、トランジスタ M7, M8 から構成されている。トランジスタ M7 は、n チャネルの MOS トランジスタである。トランジスタ M8 は、p チャネルの MOS トランジスタである。トランジスタ M7 のゲートは、サブシフト信号 `ssftz1` が入力されている。トランジスタ M8 のゲートは、サブシフト信号 `ssftx1` が入力されている。トランスファゲート 33 は、サブシフト信号 `ssftx/z1` に応じて、ラッチ回路 32 によってラッチされたりリフレッシュ信号をラッチ回路 34 に出力する。トランスファゲート 33 は、トランスファゲート 31 がオンしているときオフし、オフしているときオンする。

【0043】

ラッチ回路 34 は、インバータ回路 Z3, Z4 から構成されている。ラッチ回路 34 は、トランスファゲート 33 から出力されるリフレッシュ信号 `refa000` をラッチして後段のシフトレジスタ 19b にリフレッシュ信号 `refa001` として出力する。なお、ラッチ回路 34 もラッチ回路 32 と同様の構成にして、初期化信号 `clrn x` によって、ラッチしていたリフレッシュ信号を初期化してトランスファゲート 33 に出力するようにしてもよい。

【0044】

サブシフト信号 `ssftx/z1` は、H 状態及び L 状態を交互に繰り返すクロック信号である。従って、前段のシフトスイッチ 21a から出力されるリフレッシュ信号 `refa000` は、トランスファゲート 31 がサブシフト信号 `ssftx/z1` に応じてオンすることにより、ラッチ回路 32 にラッチされる。

【0045】

次のサブシフト信号 `ssftx/z1` が入力されると、トランスファゲート 31 はオフし、トランスファゲート 33 がオンする。よって、ラッチ回路 32 によってラッチされていたリフレッシュ信号 `refa000` は、ラッチ回路 34 にラ

ッチされる。そして、後段のシフトレジスタにリフレッシュ信号 `refa001` として出力される。

【0046】

なお、シフトレジスタ `19b`～`19n`, `20a`, `20b`, …は、シフトレジスタ `19a` と同様の回路構成を有しその説明を省略する。

図2の説明に戻る。シフトフラグ信号 `flag` は、各セルアレイ `11a`, `11b`, …のサブワード線において、リフレッシュが終了したか否かを示す信号である。例えば、メインワード線が2本のサブワード線を有しているとする。セルアレイ `11a` のメインワード線の、一本目のサブワード線のリフレッシュが終了したとする。この場合、各メインワード線の、2本目のサブワード線のリフレッシュが終了していないので、シフトフラグ信号 `flag` は、リフレッシュが終了をしていないことを示す。セルアレイ `11a` の、2本目のサブワード線のリフレッシュが終了すると、シフトフラグ信号 `flag` は、リフレッシュが終了したことを示す。

【0047】

シフトスイッチ `21a`, `21b`, …は、セルアレイ `11a`, `11b`, …ごとに対応して設けられている。シフトスイッチ `21a` は、セルアレイ `11a` に対応して設けられ、シフトスイッチ `21b`, …は、セルアレイ `11b` に対応して設けられている。また、シフトスイッチ `21a`, `21b`, …は、各セルアレイ `11a`, `11b`, …に対応して設けられているシフトレジスタの最終段と接続されている。

【0048】

シフトスイッチ `21b` は、最終段のシフトレジスタ `19n` から出力されるリフレッシュ信号 `refa064` とシフトフラグ信号 `flag` が入力される。シフトスイッチ `21b` は、シフトフラグ信号 `flag` が、セルアレイ `11a` のリフレッシュの終了を示していない場合、最終段のシフトレジスタ `19n` から出力されるリフレッシュ信号を、先頭のシフトレジスタ `19a` にリフレッシュ信号 `refa000` として出力する。なお、シフトレジスタ `19a`～`19n` は、リフレッシュ信号 `refa000` が入力されるとサブシフト信号 `ssftx/z1` に応じて、

順にリフレッシュ信号 $refa001 \sim 063$ を出力する。

【0049】

シフトフラグ信号 $flag$ が、セルアレイ $11a$ のリフレッシュの終了を示している場合、シフトスイッチ $21b$ は、シフトレジスタ $19a$ 、 $19b$ 、…を制御していた $RBLK$ ラッチ回路 $22a$ 、次にリフレッシュ対象となるセルアレイ $11b$ のシフトレジスタ $20a$ 、及び次にリフレッシュ対象となるセルアレイ $11b$ の $RBLK$ ラッチ回路 $22b$ にリフレッシュ信号を出力する。

【0050】

同様にシフトスイッチ $20a$ も、図示してないが、セルアレイに対応して設けられているシフトレジスタの最終段からリフレッシュ信号が入力される。そして、シフトスイッチ $20a$ は、シフトフラグ信号 $flag$ に応じて、リフレッシュ信号を、当該図示してないセルアレイの先頭のシフトレジスタ、又は、そのシフトレジスタを制御していた $RBLK$ ラッチ回路、次にリフレッシュ対象となるセルアレイ $11a$ の $RBLK$ ラッチ回路 $22a$ 及びシフトレジスタ $19a$ に出力する。

【0051】

すなわち、シフトスイッチ $21a$ 、 $21b$ 、…は、各セルアレイ $11a$ 、 $11b$ 、…において、サブワード線のリフレッシュが終了するまで、シフトレジスタに繰り返しリフレッシュ信号を出力させるようにする。サブワード線のリフレッシュが全部終了すると、シフトスイッチ $21a$ 、 $21b$ 、…は、リフレッシュを終了するセルアレイの $RBLK$ ラッチ回路、次のリフレッシュ対象となるセルアレイ $11a$ 、 $11b$ 、…の $RBLK$ ラッチ回路、及びシフトレジスタにリフレッシュ信号を出力する。

【0052】

図5は、シフトスイッチの回路図の一例である。図に示すように、シフトスイッチ $21b$ は、トランジスタ $M9 \sim M16$ 、インバータ回路 $Z5 \sim Z7$ を有している。

【0053】

トランジスタ $M9$ 、 $M10$ は、 p チャネルの MOS トランジスタである。トラ

ンジスタM11, M12は、nチャネルのMOSトランジスタである。

トランジスタM9のソースは、電源V_{ii}に接続されている。トランジスタM9のドレインは、トランジスタM10のソースと接続されている。トランジスタM10のドレインは、トランジスタM11のドレインと接続されている。トランジスタM11のソースは、トランジスタM12のドレインと接続されている。トランジスタM12のソースは、Lレベルの電源と接続されている。

【0054】

トランジスタM10, M11は、インバータ回路を構成しており、ゲートには、インバータ回路Z7を介して、最終段のシフトレジスタ19nのリフレッシュ信号refa064が入力される。トランジスタM9のゲートは、インバータ回路Z5, Z6を介して、シフトフラグ信号flagが入力される。トランジスタM12のゲートは、インバータ回路Z5を介してシフトフラグ信号flagが入力される。トランジスタM10, M11のドレインは、セルアレイ11aの先頭のシフトレジスタ19aと接続されている。

【0055】

従って、トランジスタM10, M11は、トランジスタM9, M10がシフトフラグ信号flagに応じてオン・オフすることによって、インバータ回路Z7を介して出力されるリフレッシュ信号refa063を現在リフレッシュ対象となっているセルアレイ11aの先頭のシフトレジスタ19aに出力する。例えば、シフトフラグ信号flagがL状態のとき、リフレッシュが終了していないことを示しているとする。このとき、トランジスタM9, M10はオンし、トランジスタM10, M11は、インバータ回路Z7から出力されるリフレッシュ信号refa064を現在リフレッシュ対象となっているセルアレイ11aの先頭のシフトレジスタ19aに出力する。

【0056】

トランジスタM13, M14は、pチャネルのMOSトランジスタである。トランジスタM15, M16は、nチャネルのMOSトランジスタである。

トランジスタM13のソースは、電源V_{ii}に接続されている。トランジスタM13のドレインは、トランジスタM14のソースと接続されている。トランジ

スタM14のドレインは、トランジスタM15のドレインと接続されている。トランジスタM15のソースは、トランジスタM16のドレインと接続されている。トランジスタM16のソースは、Lレベルの電源と接続されている。

【0057】

トランジスタM14, M15は、インバータ回路を構成している。トランジスタM14, M15のゲートには、インバータ回路Z7を介して、最終段のシフトレジスタのリフレッシュ信号 *refa064* が入力される。トランジスタM13のゲートは、インバータ回路Z5を介してシフトフラグ信号 *flag* が入力される。トランジスタM16のゲートは、インバータ回路Z5, Z6を介してシフトフラグ信号 *flag* が入力される。トランジスタM14, M15のドレインは、当該セルアレイ11aのRBLKラッチ回路22a、後段のセルアレイのRBLKラッチ回路22b、シフトレジスタ20aと接続されている。

【0058】

従って、トランジスタM14, M15は、トランジスタM13, M16がシフトフラグ信号 *flag* に応じてオン・オフすることによって、インバータ回路Z7から出力されるリフレッシュ信号 *refa064* を、リフレッシュを終了するセルアレイ11aのRBLKラッチ回路22a、次にリフレッシュ対象となるセルアレイ11bのRBLKラッチ回路22b、及びシフトレジスタ20aに出力する。例えば、シフトフラグ信号 *flag* がH状態のとき、リフレッシュが終了したことを示しているとする。このとき、トランジスタM13, M16はオンし、トランジスタM14, M15は、インバータ回路Z7から出力されるリフレッシュ信号 *refa064* を、リフレッシュを終了するセルアレイ11aのRBLKラッチ回路22a、次にリフレッシュ対象となるセルアレイ11bのRBLKラッチ回路22b、及びシフトレジスタ20aに出力する。

【0059】

なお、シフトスイッチ20aは、シフトスイッチ20bと同様の回路構成を有しその説明を省略する。

図2の説明に戻る。RBLKラッチ回路22a, 22b, …は、セルアレイ11a, 11b, …ごとに対応して設けられ、セルアレイ11a, 11b, …ごと

に設けられたシフトレジスタ 19 a ~ 19 n、20 a、20 b、…を制御する。RBLK ラッチ回路 22 a は、セルアレイ 11 a のシフトレジスタ 19 a ~ 19 n を制御する。RBLK ラッチ回路 22 b は、セルアレイ 11 b のシフトレジスタ 20 a、20 b、…を制御する。

【0060】

RBLK ラッチ回路 22 a は、リフレッシュを終了するセルアレイのシフトスイッチ 21 a からリフレッシュ信号が出力されると、次にセルアレイ 11 a をリフレッシュすることを認識する。RBLK ラッチ回路 22 a は、ワード線デコーダ 13 a ~ 13 n にリフレッシュ要求を示すアドレス切替え信号 $srefcx/z1$ を出力する。また、RBLK ラッチ回路 22 a は、セルアレイ 11 a がリフレッシュに選択されたことを示すロウブロック選択信号 $rbkez2$ をシフト信号生成回路 23 a に出力する。また、RBLK ラッチ回路 22 a は、制御信号生成回路 24 a にサブリフレッシュパルス $srefpz1/srefpnz1$ を出力する。

【0061】

RBLK ラッチ回路 22 a は、セルアレイ 11 a のリフレッシュが終了したとき、シフトスイッチ 21 b から出力されるリフレッシュ信号が入力される。RBLK ラッチ回路 22 a は、シフトスイッチ 21 b から出力されるリフレッシュ信号によって、当該セルアレイ 11 a のリフレッシュが終了することを認識する。RBLK ラッチ回路 22 a は、シフトレジスタ 19 a ~ 19 n の動作を停止させるためロウブロック選択信号 $rbkez2$ の出力を停止する。

【0062】

また、RBLK ラッチ回路 22 a は、前段のセルアレイがリフレッシュされているとき、前段の RBLK ラッチ回路からロウブロック選択信号 $rbkez1$ が入力される。RBLK ラッチ回路 22 a は、前段の RBLK ラッチ回路からのロウブロック選択信号 $rbkez1$ を受けて、サブリフレッシュパルス $srefpnz1$ を制御信号生成回路 24 a に出力する。これは、上述したように、センスアンプ 12 a、12 b、…は、（セルアレイのビット線アドレスが続く）両隣のセルアレイで共有されるため（シェアード方式）、センスアンプ 12 a を駆

動する必要があるためである。

【0063】

すなわち、RBLKラッチ回路22a, 22b, …は、前段のリフレッシュを終了するセルアレイ11x, 11a, …のシフトスイッチ21a, 21b, …からリフレッシュ信号を受けると、対応するセルアレイ11a, 11bをリフレッシュすることを認識し制御を開始する。また、RBLKラッチ回路22a, 22b, …は、対応するセルアレイ11a, 11b, …のシフトスイッチ21b, …からリフレッシュ信号を受けると、リフレッシュの終了を認識し制御を停止する。また、RBLKラッチ回路22a, 22b, …は、前段のリフレッシュを開始するセルアレイ11x, 11a, …のRBLKラッチ回路からロウブロック選択信号rbk ezを受けて、センスアンプ12a, 12b, …を駆動する。

【0064】

図6は、RBLKラッチ回路の回路図の一例である。図に示すように、RBLKラッチ回路22aは、NOR回路Z8, Z9、インバータ回路Z10, Z13, Z14, Z18~Z20, Z49、NAND回路Z11, Z12, Z15~Z17、トランジスタM17を有している。

【0065】

NOR回路Z8, Z9は、フリップフロップ回路を構成している。NOR回路Z8は、リフレッシュが終了する前段のセルアレイ11xのシフトスイッチ21aから出力されるリフレッシュ信号が入力される。NOR回路Z9は、リフレッシュが終了する当該セルアレイのシフトスイッチ21bから出力されるリフレッシュ信号が入力される。NOR回路Z8, Z9に入力されたリフレッシュ信号は、インバータ回路Z10を介して、ロウブロック選択信号rbk ez 2として出力される。すなわち、リフレッシュが終了した前段のセルアレイのシフトスイッチ21aからリフレッシュ信号が出力されたとき、ロウブロック選択信号rbk ez 2がインバータ回路Z10から出力される。セルアレイ11aのシフトスイッチ21bからリフレッシュ信号が出力されたとき、セルアレイ11aのリフレッシュを終了するため、インバータ回路Z10からはロウブロック選択信号rbk ez 2の出力が停止される。

【0066】

ロウブロック選択信号 $rb\ l\ k\ e\ z\ 2$ は、RBLKラッチ回路 22a が対応しているセルアレイ 11a に設けられているシフト生成回路 23a に出力される。また、ロウブロック選択信号 $rb\ l\ k\ e\ z\ 2$ は、センスアンプ 12b を選択するため、後段の RBLKラッチ回路 22b に出力される。

【0067】

NAND回路 Z11 は、メインリフレッシュパルス $m\ r\ e\ f\ p\ z$ と前段の RBLKラッチ回路から出力されるロウブロック選択信号 $rb\ l\ k\ e\ z\ 1$ が入力される。NAND回路 Z11 は、前段の RBLKラッチ回路から出力されるロウブロック選択信号 $rb\ l\ k\ e\ z\ 1$ に応じて、メインリフレッシュパルス信号 $m\ r\ e\ f\ p\ z$ をインバータ回路 Z13 に伝達する。それに応じて、インバータ回路 Z13 は、サブリフレッシュパルス $s\ r\ e\ f\ p\ n\ z\ 1$ を出力する。すなわち、センスアンプ 12a, 12b は、シェアード方式なので、前段のセルアレイがリフレッシュされるとき、後段となる RBLKラッチ回路 22a は、サブリフレッシュパルス信号 $s\ r\ e\ f\ p\ n\ z\ 1$ を出力する。

【0068】

NAND回路 Z12 は、メインリフレッシュパルス $m\ r\ e\ f\ p\ z$ とインバータ回路 Z10 から出力されるロウブロック選択信号 $rb\ l\ k\ e\ z\ 1$ が入力される。NAND回路 Z12 は、インバータ回路 Z10 から出力されるロウブロック選択信号 $rb\ l\ k\ e\ z\ 1$ に応じて、メインリフレッシュパルス信号 $m\ r\ e\ f\ p\ z$ をインバータ回路 Z14 に伝達する。それに応じて、インバータ回路 Z14 は、サブリフレッシュパルス $s\ r\ e\ f\ p\ z\ 1$ を出力する。サブリフレッシュパルス $s\ r\ e\ f\ p\ z\ 1$ は、当該 RBLKラッチ回路 22a が設けられているセルアレイ 11a の制御信号生成回路 24a に出力される。

【0069】

NAND回路 Z15 は、ブロックリセット信号 $b\ l\ t\ r\ z$ と外部／内部アドレス切替え停止信号 $s\ n\ o\ r\ s\ t\ x$ が入力される。なお、ブロックリセット信号 $b\ l\ t\ r\ z$ と外部／内部アドレス切替え停止信号 $s\ n\ o\ r\ s\ t\ x$ は、図 2 に示す各種制御信号 $c\ s\ i\ g$ が有している信号の一つである。ブロックリセット信号 $b\ l$

t r z は、活性化センスアンプと非活性化セルアレイの接続を切離すときに L 状態が、接続するときに H 状態が出力される。外部／内部アドレス切替え停止信号 s n o r s t x は、セルアレイ 11 a がリード・ライトされる場合は H 状態、リフレッシュされる場合は L 状態となる。外部／内部アドレス切替え停止信号 s n o r s t x は、リフレッシュが連続している間は、ワード線デコーダ 13 a ~ 13 n, 14 a, 14 b, … に入力するアドレス切替え信号 s r e f c x / z 1, s r e f c x / z 2, … の切替えを停止し、内部アドレスを選択する状態を維持させる信号である。

【0070】

NAND 回路 Z 15 は、リセットを示すブロックリセット信号 b l t r z が入力されても、セルアレイ 11 a がリフレッシュされていることを示す外部／内部アドレス切替え停止信号 s n o r s t x が出力されている間は、リセットを示すブロックリセット信号 b l t r z を後段に伝達しない。

【0071】

NAND 回路 Z 16, Z 17 は、フリップフロップ回路を構成している。NAND 回路 Z 16 は、NAND 回路 Z 12 からの出力が入力される。NAND 回路 Z 17 は、NAND 回路 Z 15 からの出力が入力される。すなわち、NAND 回路 Z 16, Z 17 は、メインリフレッシュ信号 m r e f p z に同期して、NAND 回路 Z 12 から出力される信号でセットされ、外部／内部アドレス切替え停止信号 s n o r s t x が H 状態となっている間のリセット信号でリセットされる。NAND 回路 Z 16, Z 17 により構成されるフリップフロップの出力は、インバータ回路 Z 18 によって反転され、アドレス切替え信号 s r e f c x / z 1 としてワード線ドライバ 15 a ~ 15 o に出力される。

【0072】

インバータ回路 Z 20 には、各種制御信号 c s i g に含まれている初期化信号 c l r n x が入力される。トランジスタ M 17 は、p チャネルの MOS トランジスタである。トランジスタ M 17 のドレインは NOR 回路 Z 8 の出力と接続され、ソースは H 側電源に接続されている。インバータ回路 Z 20 に初期化信号 c l r n x が入力されると、トランジスタ M 17 はオンし、NOR 回路 Z 8 の出力は

初期化される（H状態となる）。

【0073】

なお、RBLKラッチ回路22bは、RBLKラッチ回路22aと同様の回路構成を有しその説明を省略する。

図2の説明に戻る。シフト信号生成回路23a, 23b…は、セルアレイ11a, 11b, …ごとに対応して設けられる。シフト信号生成回路23a, 23b, …は、メインシフト信号msftxが入力される。メインシフト信号msftxは、H状態及びL状態を交互に繰り返すクロック信号である。

【0074】

シフト信号生成回路23a, 23b, …は、RBLKラッチ回路22a, 22b, …から出力されるロウブロック選択信号rbkz2, rbkz3, …に応じて、サブシフト信号ssftx/z1, ssftx/z2, …を出力する。シフト信号生成回路23a, 23b, …は、ロウブロック選択信号rbkz1, rbkz2, …が出力されなくなった後も所定時間（所定クロック）サブシフト信号ssftx/z1, ssftx/z2, …を出力する。これは、図4で説明したように、シフトレジスタは、2つのラッチ回路を有しているの、最初のラッチ回路にラッチされている信号状態を出力させるためである。

【0075】

図7は、シフト信号生成回路の回路図の一例である。図に示すように、シフト信号生成回路23aは、トランスファゲート35, 37、ラッチ回路36, 38、NOR回路Z25, Z29, Z30、インバータ回路Z26, Z27、Z31～Z33, Z35, Z38～Z40、NAND回路Z28, Z34, Z36, Z37を有している。

【0076】

トランスファゲート35は、トランジスタM18, M19から構成されている。トランジスタM18は、pチャネルのMOSトランジスタである。トランジスタM19は、nチャネルのMOSトランジスタである。トランスファゲート35は、ロウブロック選択信号rbkz2が入力される。トランスファゲート35は、NOR回路30、インバータ回路Z31, Z32を介して入力されるメイ

ンシフト信号 $msftx$ に応じて、入力されるロウブロック選択信号 $rbk ez 2$ をラッチ回路 36 に出力する。

【0077】

ラッチ回路 36 は、NAND 回路 Z21、インバータ回路 Z22 から構成されている。ラッチ回路 36 は、トランスファゲート 35 から出力されるロウブロック選択信号をラッチしてトランスファゲート 37 に出力する。なお、NAND 回路 Z21 には、サブシフト信号 $ssftx/z1$ を初期化するための初期化信号 $clrnx$ が入力される。

【0078】

トランスファゲート 37 は、トランジスタ M20, M21 から構成されている。トランジスタ M21 は、n チャンネルの MOS トランジスタである。トランジスタ M20 は、p チャンネルの MOS トランジスタである。トランスファゲート 37 は、ラッチ回路 36 から出力されるロウブロック選択信号 $rbk ez 2$ が入力される。トランスファゲート 37 は、NOR 回路 30、インバータ回路 Z31, Z32 を介して入力されるメインシフト信号 $msftx$ に応じて、入力されるロウブロック選択信号 $rbk ez 2$ をラッチ回路 38 に出力する。

【0079】

ラッチ回路 38 は、インバータ回路 Z23, Z24 から構成されている。ラッチ回路 38 は、トランスファゲート 37 から出力されるロウブロック選択信号 $rbk ez 2$ をラッチして NOR 回路 Z25 に出力する。なお、トランスファゲート 37 は、トランスファゲート 35 がオンしているときオフし、オフしているときオンする。

【0080】

トランスファゲート 35 にロウブロック選択信号 $rbk ez 2$ が入力されなくなった場合、ロウブロック選択信号 $rbk ez 2$ はラッチ回路 36 にラッチされている。従って、トランスファゲート 37 が、次のメインシフト信号 $msftx$ が入力されオンすると、ラッチ回路 36 にラッチされていたロウブロック選択信号 $rbk ez 2$ がラッチ回路 38 に出力される。その後、ロウブロック選択信号 $rbk ez 2$ が入力されない状態の信号状態が NOR 回路 Z25 に出力

される。

【0081】

NOR回路Z25は、トランスファゲート35に入力されるロウブロック選択信号 `rb l k e z 2` とラッチ回路38から出力されるロウブロック選択信号 `rb l k e z 2` が入力される。すなわち、NOR回路Z25は、トランスファゲート35に入力されるロウブロック選択信号 `rb l k e z` をインバータ回路Z26に出力する。そして、NOR回路Z25は、トランスファゲート35にロウブロック選択信号 `rb l k e z 2` が入力されなくなっても、ラッチ回路38から出力されるロウブロック選択信号 `rb l k e z 2` を、メインシフト信号 `ms f t x` の1パルス分インバータ回路Z26に出力する。

【0082】

インバータ回路Z26に入力されたロウブロック選択信号 `rb l k e z 2` は、インバータ回路Z27を介してNAND回路Z28に入力される。NAND回路Z28は、さらに初期化信号 `cl r n x` が入力される。従って、NAND回路Z28は、初期化信号 `cl r n x` が入力された場合、初期化状態の信号を出力する。

【0083】

NAND回路Z28から出力される初期化信号 `cl r n x` 又はロウブロック選択信号 `rb l k e z 2` は、NAND回路Z34、NOR回路Z29に入力される。NOR回路Z29は、RBLKラッチ回路22aから出力されるロウブロック選択信号 `rb l k e z 2` と、NAND回路Z28から出力される初期化信号 `cl r n x` 又はロウブロック選択信号 `rb l k e z 2` のNOR演算をし、NOR回路Z30に出力する。NOR回路Z30は、NOR回路Z29から初期化状態のL状態の信号が出力されれば、不図示の回路によりメインシフト信号 `ms f t x` もL状態になっているので、その信号をインバータ回路Z31に出力する。NOR回路Z30は、NOR回路Z29からロウブロック選択信号 `rb l k e z 2` が出力されれば、メインシフト信号 `ms f t x` をインバータ回路Z31に出力する。

【0084】

NAND回路Z34は、NAND回路Z28からロウブロック選択信号 `rb l`

k e z 2 が出力されている場合、メインシフト信号 m s f t x を NAND 回路 Z 3 6 とインバータ回路 Z 3 5 を介して NAND 回路 Z 3 7 に出力する。NAND 回路 Z 3 6, Z 3 7 はフリップフロップ回路を構成している。

【0085】

NAND 回路 Z 3 6 から出力されるメインシフト信号 m s f t x は、インバータ回路 Z 3 8, Z 4 0 を介して、サブシフト信号 s s f t x 1 としてシフトレジスタに出力される。また、NAND 回路 Z 3 6 から出力されるメインシフト信号 m s f t x は、インバータ回路 Z 3 9 を介して、サブシフト信号 s s f t z 1 としてシフトレジスタに出力される。

【0086】

すなわち、シフト信号生成回路 2 3 a は、ロウブロック選択信号 r b l k e z 2 が入力されると、入力されているメインシフト信号 m s f t x をサブシフト信号 s s f t x / z 1 として出力する。シフト信号生成回路 2 3 a は、ロウブロック選択信号 r b l k e z 2 が入力されなくなっても、メインシフト信号 m s f t x の 1 クロック分、余分にサブシフト信号 s s f t x / z 2 を出力する。これにより、最終段のシフトレジスタ 1 9 n の、最初のラッチ回路にラッチされている信号状態を出力させることができる。

【0087】

図 2 の説明に戻る。制御信号生成回路 2 4 a, 2 4 b, …は、RBLK ラッチ回路 2 2 a, 2 2 b, …からサブリフレッシュパルス s r e f p z 1 / s r e f p n z 1, s r e f p z 2 / s r e f p n z 2, …が入力される。また、制御信号生成回路 2 4 a, 2 4 b, …は、制御信号 c s i g、RBLK 選択アドレス信号 s e a d が入力される。制御信号生成回路 2 4 a, 2 4 b, …は、セルアレイ 1 1 a, 1 1 b, …が選択されていることを示す制御信号 c s i g、RBLK 選択アドレス信号 s e a d が入力され、サブリフレッシュパルス s r e f p z 1 / s r e f p n z 1, s r e f p z 2 / s r e f p n z 2, …が入力されると、アンプ制御信号 a c t 1 1, a c t 1 2, …及びメインワード線制御信号 m w 1 1, m w 1 2, …を出力する。センスアンプ 1 2 a, 1 2 b, …は、アンプ制御信号 a c t 1 1, a c t 1 2, …、メインワード線制御信号 m w 1 1, m w 1 2,

…に応じて動作する。なお、メインワード線制御信号 $mw11$ は、図 2 で示した電圧 $bke x$ の基となる信号である。

【0088】

以下、図 2 の回路図の動作を説明する。RBLK ラッチ回路 22a は、シフトスイッチ 21a からリフレッシュ信号が出力されると、リフレッシュ要求を示すアドレス切り切替え信号 $srefcx/z1$ をワード線デコーダ 13a ~ 13n に出力する。ワード線デコーダ 13a ~ 13n は、シフトレジスタ 19a ~ 19n から順次出力されるリフレッシュ信号 $refa000 \sim 063$ により選択され、セルアレイ 11a のメインワード線を駆動するための信号を冗長回路 17a ~ 17o に出力する。

【0089】

RBLK ラッチ回路 22a は、ロウブロック選択信号 $rbk ez2$ をシフト信号生成回路 23a、RBLK ラッチ回路 22b に出力する。RBLK ラッチ回路 22a は、制御信号生成回路 24a にサブリフレッシュパルス $srefpz1$ を出力する。

【0090】

シフト信号生成回路 23a は、RBLK ラッチ回路 22a からロウブロック選択信号 $rbk ez2$ が出力されると、メインシフト信号 $msftx$ に応じて、サブシフト信号 $ssftx/z1$ を出力する。シフトレジスタ 19a ~ 19n は、サブシフト信号 $ssftx/z1$ に同期して、順次リフレッシュ信号 $001 \sim 063$ を出力する。

【0091】

RBLK ラッチ回路 22b は、RBLK ラッチ回路 22a からロウブロック選択信号 $rbk ez2$ が出力されると、制御信号生成回路 24b にサブリフレッシュパルス $srefpnz2$ を出力する。制御信号生成回路 24b は、アンプ制御信号 $act12$ 、メインワード線制御信号 $mw12$ を出力する。センスアンプ 12b は、セルアレイ 11a に対して動作する。

【0092】

シフトスイッチ 21b は、セルアレイ 11a のサブワード線においてリフレッ

シユが終了していないことを示すL状態のシフトフラグ信号 *f l a g* が入力され、シフトレジスタ 19 n からリフレッシュ信号が出力されると、このリフレッシュ信号をシフトレジスタ 19 a に出力する。シフトレジスタ 19 a ~ 19 n は、再び順次リフレッシュ信号 *r e f a 0 0 1 ~ 0 6 3* を出力する。

【0093】

シフトスイッチ 21 b は、セルアレイ 11 a のサブワード線においてリフレッシュが終了したことを示すH状態のシフトフラグ信号 *f l a g* が入力され、シフトレジスタ 19 n からリフレッシュ信号が出力されると、このリフレッシュ信号をシフトレジスタ 20 a に（リフレッシュ信号 *r e f a 1 0 0* として）出力する。また、シフトスイッチ 21 b は、リフレッシュ信号を RBLK ラッチ回路 22 a, 22 b に出力する。

【0094】

RBLK ラッチ回路 22 a は、シフトスイッチ 21 b からのリフレッシュ信号によって、ロウブロック選択信号 *r b l k e z 2*、サブリフレッシュパルス *s r e f p z 1* の出力を停止する。また、RBLK ラッチ回路 22 a は、データのリード・ライト要求を示すアドレス切替え信号 *s r e f c x / z 1* を出力する。

【0095】

RBLK ラッチ回路 22 b は、シフトスイッチ 21 b からのリフレッシュ信号によって、上記 RBLK ラッチ回路 22 a で説明したのと同様に、セルアレイ 11 b をリフレッシュするための動作をする。

【0096】

リフレッシュされるセルアレイが切替わるときの動作を、タイミングチャートを用いて説明する。図 8 は、リフレッシュされるセルアレイが切替わるときの動作を説明するタイミングチャートである。

【0097】

RBLK ラッチ回路 22 a は、図 8 に示すように、メインリフレッシュパルス *m r e f p z* から、サブリフレッシュパルス *s r e f p z 1* を出力する。シフト信号生成回路 23 a は、メインシフト信号 *m s f t x* から、サブシフト信号 *s s f t x 1* を出力する。

【0098】

シフトレジスタ19mは、サブシフト信号ssftx1の立ち上がりでリフレッシュ信号refa062をラッチし、立ち下がりでリフレッシュ信号refa063を出力する。

【0099】

リフレッシュ信号refa063の立ち下がりと同時に、シフトスイッチ21b（シフトレジスタ19n）からは、リフレッシュ信号refa100が出力される。また、ロウブロック選択信号rbkex2の出力が停止され、ロウブロック選択信号rbkex3が出力される。

【0100】

シフト信号生成回路23aは、ロウブロック選択信号rbkex2の出力が停止した後も、1パルスサブシフト信号ssftx1を出力する。これにより、シフトレジスタ19nのリフレッシュ信号refa100の出力が停止される。

【0101】

シフト信号生成回路23bは、サブシフト信号ssft2を出力し、シフトレジスタ20b、…は、リフレッシュ信号refa101、…を順次出力していく。

【0102】

また、図6で説明したように、リセットを示す（H状態の）ブロックリセット信号bltrzが入力されても、セルアレイ11aがリフレッシュされていることを示す（L状態の）外部／内部アドレス切替え停止信号snorstxが出力されている間は、リフレッシュ要求を示す（H状態の）アドレス切替え信号srefczと（L状態の）アドレス切替え信号srefcxが出力される。

【0103】

図9は、リフレッシュ動作までのクリティカルパスを説明する図である。図に示す太線は、クリティカルパスを示している。アービタは、半導体記憶装置内部に設けられており、入力される信号の処理順を検討し、信号を所定の処理回路に出力する。

【0104】

アービタには、内部動作が行われていることを示す内部動作信号 ic_sx が入力されている。例えば、信号 ic_sx が H 状態のときアービタに入力される順に信号を出力する。信号 ic_sx が L 状態のとき、外部コマンドやリフレッシュ要求は内部動作が終了するまで待たされる。なお、ここでは、内部動作信号 ic_sx は、H 状態であるとする。

【0105】

アービタには、内部の周辺回路から送られてくるリフレッシュの要求を示す内部リフレッシュコマンド $srtz$ が入力される。また、アービタには、リフレッシュの停止を要求するリフレッシュマスク信号 $refmskz$ が入力される。リフレッシュマスク信号 $refmskz$ は、外部から入力されるチップイネーブル信号 $\overline{CE1}$ から生成される。チップイネーブル信号 $\overline{CE1}$ は、外部からのデータのリード・ライト要求か、あるいはアウトプットディスエーブル状態への移行を示す信号である。

【0106】

アービタにて、内部リフレッシュコマンド $srtz$ が受け付けられ、リフレッシュを行うと判定された場合、半導体記憶装置内の周辺回路からメインリフレッシュパルス $mrefpz$ が出力される。メインリフレッシュパルス $mrefpz$ は、図2に示していないバッファ回路によってバッファされ、RBLKラッチ回路 22a, 22b, …に出力される。図6で示したようにメインリフレッシュパルス $mrefpz$ は、ロウブロック選択信号 $rbkz1, rbkz2, \dots$ と論理積 (AND) が取られ、サブリフレッシュパルス $srefpz1, srefpz2, \dots$ として出力される。

【0107】

図10は、リフレッシュ動作までのクリティカルパスを説明するタイミングチャートである。図に示すように、チップイネーブル信号 $\overline{CE1}$ が入力されると、リフレッシュマスク信号 $refmskz$ が生成される。リフレッシュマスク信号 $refmskz$ より、内部リフレッシュコマンド $srtz$ が早くアービタに入力された場合、周辺回路からは、メインリフレッシュパルス $mrefpz$ が出力される。メインリフレッシュパルス $mrefpz$ は、バッファしてRBLKラッ

チ回路 22a, 22b, …に出力される。メインリフレッシュパルス $mrefpz$ は、ロウブロック選択信号 $rblkzr1, blkz2, …$ と論理積 (AND) が取られ、サブリフレッシュパルス $srefpz$ として出力される。そしてリフレッシュ動作が開始される。

【0108】

メインリフレッシュパルス $mrefpz$ は、バッファして RBLK ラッチ回路 22a, 22b, …に出力される。RBLK ラッチ回路 22a, 22b, …は、サブリフレッシュパルス $srefpz$ を出力し、リフレッシュが行われる。リフレッシュするワード線のアドレスは、シフトレジスタ 19a~19n, 20a, 20b, …より順次出力される。従来のアドレスカウンタによる方法では、アドレス取りこみ・デコード動作、内部アドレス確定からセルアレイの活性化タイミング信号活性化など時間を要していたが、本発明の半導体記憶装置では、このタイミングマージンの分が削減され、アクセスタイムが高速化される。ここで、チップイネーブル信号 / CE1 のローレベルからのアクセス例を示したが、アドレスアクセス等、他の場合でも同様の効果が得られる。

【0109】

このように、RBLK ラッチ回路 22a, 22b, …によって、セルアレイ 11a, 11b, …ごとのシフトレジスタ 19a~19n, 20a, 20b, …にサブシフト信号 $ssftx/z1, ssftx/z2, …$ を出力し、リフレッシュするメインワード線を選択するための選択信号を順次出力させるようにした。これにより、シフトレジスタ 19a~19n, 20a, 20b, …に出力するサブシフト信号 $ssftx/z1, ssftx/z2, …$ の電流消費を低減することができる。

【0110】

次に、本発明の第 2 の実施の形態について説明する。図 11 は、第 2 の実施の形態に係る半導体記憶装置の回路図である。図 11 の半導体記憶装置では、図 2 に示すシフトスイッチ 21a, 21b, …がバッファ 41a, 41b, …となっている。図 2 の半導体記憶装置では、シフトスイッチ 21b は、対応するセルアレイ 11a のサブワード線のリフレッシュが終了するまで、シフトレジスタ 19

a ~ 19 n に繰り返しリフレッシュ信号 `ref a 000 ~ ref a 063` を出力させる。シフトスイッチ 20 a も同様である。図 11 では、各セルアレイ 11 a, 11 b, … のサブワード線のリフレッシュが終了しなくても、次のセルアレイのメインワード線を順次選択していき、メインワード線のアドレスが一巡したら、次のサブワード線アドレスに切り換えて、再度全セルアレイ 11 a, 11 b, … でメインワード線を順次選択していく。すべてのサブワード線のリフレッシュが終了するまでこれを繰り返す。なお、図 11 において、図 2 と同じものには同じ符号を付しその説明を省略する。

【0111】

バッファ 41 a, 41 b, … は、セルアレイ 11 a, 11 b, … ごとに対応して設けられている。

バッファ 41 b は、シフトレジスタ 19 n から出力されるリフレッシュ信号をシフトレジスタ 20 a、RBLK ラッチ回路 22 a, 22 b に出力する。

【0112】

同様にバッファ 41 a も、図示していないが、前段のセルアレイに対応して設けられているシフトレジスタの最終段からリフレッシュ信号が入力される。そして、バッファ 41 a は、リフレッシュ信号を、当該シフトレジスタを制御していた RBLK ラッチ回路、次にリフレッシュ対象となる後段のセルアレイ 11 a の RBLK ラッチ回路 22 a 及びシフトレジスタ 19 a に出力する。

【0113】

バッファ 41 a, 41 b, … には、図 2 で説明したようなシフトフラグ信号 `flag` は、入力されない。そして、バッファ 41 a, 41 b, … は、前段のシフトレジスタからリフレッシュ信号が出力されると後段のシフトレジスタに出力する。すなわち、各セルアレイ 11 a, 11 b, … において、サブワード線のリフレッシュが終了しなくても、次のセルアレイのリフレッシュを順次行っていく。最後のセルアレイのリフレッシュが終了すると、再び先頭のセルアレイに戻り、次のサブワード線アドレスに切り換えて、リフレッシュを行っていく。

【0114】

このように、バッファ 41 a, 41 b, … 2 よって、リフレッシュ信号を順次

後段のシフトレジスタに出力し、セルアレイ 11a, 11b, …の全体でリフレッシュを繰り返すようにした。よって、シフトフラグ信号 flag を伝達するための配線、先頭のシフトレジスタにリフレッシュ信号を伝達するための配線が不要となり、回路を簡略化することができる。

【0115】

なお、第2の実施の形態における半導体記憶装置においても、RBLKラッチ回路 22a, 22b, …は、各セルアレイ 11a, 11b, …に対応するシフトレジスタ 19a～19n, 20a, 20b, …ごとにサブシフト信号 sstfx/z1, sstfx/z1 を出力するよう制御するので消費電力が低減される。

【0116】

次に、本発明の第3の実施の形態について説明する。図12は、第3の実施の形態に係る半導体記憶装置の回路図である。図12では、図2の半導体記憶装置とは視点を変え、より広い範囲を示している。図12では、セルアレイをパースシャルリフレッシュする点が異なる。図12に示すセルアレイは、図2のセルアレイ 11a, 11b, …に対応している。S/Aは、センスアンプ 12a, 12b, …に対応している。SR群は、シフトレジスタ 19a～19n, 20a, 20b, …に対応している。SW及びSW53は、シフトスイッチ 21a, 21b, …に対応している。ただし、SW53は、シフトスイッチ 21a, 21b, …と一部機能が異なる。制御回路群（斜線を付した四角形）は、RBLKラッチ回路 22a, 22b, …、シフト信号生成回路 23a, 23b, …、制御信号生成回路 24a, 24b, …に対応している。rbk ez は、ロウブロック選択信号 rbk ez 1, rbk ez 2, …に対応している。rbk rz は、シフトスイッチ 21, 21b, …と、前段のセルアレイ 11a, 11b に対応する RBLKラッチ回路 22a, 22b, …と接続される接続線に対応している。flag は、シフトフラグ信号 flag に対応している。

【0117】

その他、図12の半導体記憶装置は、パースシャルリフレッシュ制御回路 51、リフレッシュ周期生成回路 52、リフレッシュアレイラッチ回路 54、NOR回路 Z41, Z43、インバータ回路 Z42, Z44～Z46 を有している。

【0118】

図12では、セルアレイは、行列状に配置されたメモリセルが所定の行（ビット線）ごとにブロック化されるとともに、さらに大きく2つにブロック化される。2つにブロック化されたセルアレイの一方は、リフレッシュが途中で終了される。そして、もう一方のブロック化されたセルアレイにおいてリフレッシュが続けられる。なお、図12では、セルアレイは、左右にブロック化されている。

【0119】

パーシャルリフレッシュ制御回路51は、外部からパーシャルリフレッシュの要求を受け付けると、リフレッシュ領域切替え信号 *refsw* を出力する。なお、パーシャルリフレッシュ制御回路51は、リフレッシュがセルアレイのリフレッシュ開始点に戻ったとき、パーシャルリフレッシュの要求を受け付ける。また、パーシャルリフレッシュ制御回路51は、リフレッシュ周期生成回路52が出力する周期に応じてパーシャルリフレッシュを行う。さらに、パーシャルリフレッシュ制御回路51は、パーシャルリフレッシュが終了するとき、リフレッシュする領域を全セルアレイの領域に戻してから、リフレッシュを行う周期に戻る。

【0120】

リフレッシュ周期生成回路52は、パーシャルリフレッシュのリフレッシュ周期を生成する。リフレッシュ周期生成回路52は、パーシャルリフレッシュする場合、全領域をリフレッシュする周期を、全領域に対するパーシャルリフレッシュする領域の比に分周する。

【0121】

SW53は、パーシャルリフレッシュ制御回路51からリフレッシュ領域切替え信号 *refsw* が出力されると、SR群から出力されるリフレッシュ信号を後段のSR群に出力しないで、もう一方のブロック化されたセルアレイ（右側のセルアレイ）の制御回路群に出力する。SW53は、パーシャルリフレッシュ制御回路51からリフレッシュ領域切替え信号 *refsw* が出力されない場合は、後段nのSR群にリフレッシュ信号を出力する。

【0122】

NOR回路Z41は、SW53がリフレッシュ信号を、右側のセルアレイの制

御回路群に出力する場合、又は後段のSR群に出力する場合においても、SR群に対応して設けられている制御回路群にインバータ回路Z42を介して出力する。

【0123】

NOR回路Z43、インバータ回路Z44、及びインバータ回路Z45、Z46は、リフレッシュ信号が一方のブロックから他方のブロックに移ったこと検出し、リフレッシュアレイラッチ回路54に出力する。

【0124】

リフレッシュアレイラッチ回路54は、一方のブロックから他方のブロックに移るリフレッシュ信号から、現在どちらの（右又は左）ブロックのセルアレイがリフレッシュされているか認識し、リフレッシュ領域信号reflz/refrzを出力する。例えば、図12において、リフレッシュが左から右に移るとリフレッシュ領域信号reflzがローレベル、リフレッシュ領域信号refrzがハイレベルになり、右から左に移るとそれぞれハイレベル、ローレベルに遷移する。

【0125】

図13は、パーシャルリフレッシュのエントリ・イクジットとリフレッシュ周期を説明する図である。図に示すセルアレイブロック61は、図12に示す左側のセルアレイに対応している。セルアレイブロック62は、図12に示す右側のセルアレイに対応している。また、図に示す番号と矢印は、セルアレイブロック61、62がリフレッシュされる経路を示している。セルアレイブロック61、62の斜線部は、パーシャルリフレッシュモード時にリフレッシュされる領域を示している。

【0126】

図14は、図13のリフレッシュ領域と分周の関係を示した図である。図に示すCE2は、外部から入力されるパーシャルモードを選択するための信号を示している。CE2がH状態のときは、通常（全領域）のリフレッシュが行われる。CE2がL状態のときは、パーシャルリフレッシュが行われる。図のコアの欄に示す1/2は、全セルアレイ領域に対するパーシャルリフレッシュされる領域の

割合を示している。ここでは、パーシャルリフレッシュは、セルアレイの全領域の、半分 ($1/2$) の領域で行われるとする。

【0127】

CE 2 が L 状態となったとき、すぐにパーシャルリフレッシュモードにエントリし、リフレッシュ領域やリフレッシュ周期を変えてしまうと、例えば、2 から 5 の間をリフレッシュしている場合、リフレッシュ信号は、3 から 4 へ伝達されなくなる。従って、リフレッシュ信号が 1 に戻ってからパーシャルリフレッシュにエントリする必要がある。1 にリフレッシュ信号が戻ったことは、リフレッシュ領域信号 $refl_z$ が H 状態になることでわかる (H 状態になったとき、左の領域りのリフレッシュが開始されるため)。このとき、セルアレイ領域は $1/2$ となり、リフレッシュ周期生成回路 52 は、リフレッシュする周期を 2 分周する。

【0128】

また、分岐点である 2 にいるときにパーシャルリフレッシュモードをイグジットすると、5 に向かうのと 3 から始まる 2 つのリフレッシュ動作が起こってしまう。また、2 の直前でイグジットしたとき、データ保持に必要なリフレッシュの周期 t_{ref} を T とすると、3 のデータを再びリフレッシュするまでに、 $3 \rightarrow 4 \rightarrow 1 \rightarrow 2$ で T、 $2 \rightarrow 5 \rightarrow 6 \rightarrow 3$ で $6/8 T$ の合計 $14/8 T$ かかってしまい、これを補償するためにリフレッシュ周期を $14/8$ にしなければならない。このため、CE 2 が L 状態から H 状態に変化し、リフレッシュ領域信号 $refl_z$ が 1 回 H 状態になったときは、領域の変更だけ行う。すなわち、イグジット時には、周期を通常のリフレッシュ周期の $1/2$ に分周して、セルアレイの全領域リフレッシュする。リフレッシュ領域信号 $refl_z$ の 2 度目の H 状態で、通常のリフレッシュ時の周期に戻す。

【0129】

なお、CE 2 が H 状態で周期を $1/2$ にする理由は、1 でイグジットしたとすると $1 \rightarrow 2 \rightarrow 3 \rightarrow 4$ で $1/4 T$ 、 $1 \rightarrow 5 \rightarrow 6 \rightarrow 4 \rightarrow 1$ で T の合計 $5/4 T$ かかってしまい、それを補償するためリフレッシュ周期を $4/5$ にしなければならず、スタンバイ時のデータ保持電流が増加してしまうためである。

【0130】

なお、図12では、チップの左右にセルアレイを構成し、リフレッシュアレイが右から左に移るときを基準点として領域や周期の制御を行う例を示したが、リフレッシュ領域や分周の制御を、リフレッシュアドレスに基準点を設けそこで行うようにしてもよい。

【0131】

このように、SW53は、パーシャルリフレッシュの要求を示すリフレッシュ領域切替え信号 *refsw* に応じて、大きく2つにブロック化されたセルアレイブロックの一方のリフレッシュを途中で終了する。そして、もう一方のブロック化されたセルアレイブロックにおいてリフレッシュを続けるようにした。これにより、リフレッシュの必要なセルアレイのみリフレッシュすることができ、消費電力を低減することができる。

【0132】

次に、本発明の第4の実施の形態について説明する。図15は、第4の実施の形態に係る半導体記憶装置の回路図である。図15では、図11の半導体記憶装置とは視点を換え、より広い範囲を示している。図15では、セルアレイをパーシャルリフレッシュする点が異なる。図15に示すセルアレイは、図11のセルアレイ11a, 11b, …に対応している。S/Aは、センスアンプ12a, 12b, …に対応している。SR群は、シフトレジスタ19a~19n, 20a, 20b, …に対応している。buffは、バッファ41a, 41b, …に対応している。制御回路群（斜線を付した四角形）は、RLBKラッチ回路22a, 22b, …、シフト信号生成回路23a, 23b, …、制御信号生成回路24a, 24b, …に対応している。rblkezは、ロウブロック選択信号 *rblkez* に対応している。rblkrzは、シフトスイッチ21, 21b, …と、前段のRLBKラッチ回路22a, 22b, …と接続される接続線に対応している。

【0133】

その他、図15の半導体記憶装置は、パーシャルリフレッシュ制御回路71、リフレッシュ周期生成回路72、サブワード線アドレス生成回路73、リフレッシュアレイラッチ回路74、インバータ回路Z47, Z48を有している。

【0134】

図15では、セルアレイは、行列状に配置されたメモリセルが所定の行（ビット線）ごとにブロック化されるとともに、さらに大きく2つにブロック化される。なお、図15では、セルアレイは、左右にブロック化されている。

【0135】

パーシャルリフレッシュ制御回路71は、外部からパーシャルリフレッシュの要求を受け付けると、リフレッシュ領域切替え信号 *refsw* をサブワード線アドレス生成回路73に出力する。パーシャルリフレッシュ制御回路71は、リフレッシュがセルアレイのリフレッシュ開始点に戻ったとき、パーシャルリフレッシュの要求を受け付ける。また、パーシャルリフレッシュ制御回路71は、リフレッシュ周期生成回路72が生成する周期に応じてパーシャルリフレッシュを行う。

【0136】

リフレッシュ周期生成回路72は、パーシャルリフレッシュのリフレッシュ周期を生成する。リフレッシュ周期生成回路72は、パーシャルリフレッシュする場合、全領域をリフレッシュする周期を、全領域に対するパーシャルリフレッシュする領域の比に分周する。

【0137】

インバータ回路Z47、Z48は、リフレッシュ信号が一方のブロックから他方のブロックに移ったこと検出し、リフレッシュアレイラッチ回路74に出力する。

【0138】

サブワード線アドレス生成回路73は、パーシャルリフレッシュ制御回路71からリフレッシュ領域切替え信号 *refsw* を受け付けると、SR群のメインワード線のリフレッシュが1週すると、サブワード線のアドレスをカウントアップしていく。このとき、サブワード線アドレス生成回路73は、サブワード線のアドレスを間引いてカウントアップする。なお、サブワード線のアドレスは、全アドレスの最上位アドレスから、必要なメモリ容量になるよう割り当てられる。従って、サブワード線アドレス生成回路73は、サブワード線に割り当てられた上

位アドレスを間引いてカウントアップする。

【0139】

リフレッシュアレイラッチ回路54は、一方のブロックから他方のブロックに移るリフレッシュ信号から、現在どちらの（右又は左）ブロックのセルアレイがリフレッシュされているか認識し、リフレッシュ領域信号 $refl_z/refr_z$ を出力する。例えば、図15において、リフレッシュが左から右に移るとリフレッシュ領域信号 $refl_z$ がローレベル、リフレッシュ領域信号 $refr_z$ がハイレベルになり、右から左に移るとそれぞれハイレベル、ローレベルに遷移する。

【0140】

図16は、パーシャルリフレッシュのエントリ・イクジットとリフレッシュ周期を説明する図である。図に示すセルアレイブロック81は、図12に示す左側のセルアレイに対応している。セルアレイブロック82は、図12に示す右側のセルアレイに対応している。また、図に示す番号と矢印は、セルアレイブロック81、82、…がリフレッシュされる経路を示している。セルアレイブロック81、82の斜線部は、パーシャルリフレッシュモード時にリフレッシュされる領域を示している。

【0141】

図17は、図16のリフレッシュ領域と分周の関係を示した図である。図に示すCE2は、外部から入力されるパーシャルモードを選択するための信号を示している。CE2がH状態のときは、通常（全領域）のリフレッシュが行われる。CE2がL状態のときは、パーシャルリフレッシュが行われる。図のコアの欄に示す1/2は、全セルアレイ領域に対するパーシャルリフレッシュされる領域の割合を示している。ここでは、パーシャルリフレッシュは、セルアレイの全領域の、半分の領域で行われるとする。

【0142】

CE2がL状態となり、1回目のリフレッシュ領域信号 $refl_z$ のH状態でリフレッシュする領域を1/2にする。このとき周期を2分周する。これは、図15に示すように、リフレッシュする経路が常に1→2→3→4であるため、リ

フレッシュする領域が $1/2$ となれば、リフレッシュ周期も $1/2$ 倍にする。

【0143】

CE2がH状態となり、パーシャルリフレッシュモードをイグジットする場合、リフレッシュする領域は全領域とし、分周も1倍する。図15の半導体記憶装置では、図12の半導体記憶装置に対し、イグジットの際の分周制御が不要である。これは、パーシャルリフレッシュモードになっても、常にリフレッシュする経路が常に $1 \rightarrow 2 \rightarrow 3 \rightarrow 4$ であるためである。よって、イグジットの際の制御が簡単となる。

【0144】

このように、セルアレイの全体でリフレッシュを繰り返すとともに、サブワード線のアドレスを間引いてカウントアップするようにした。これにより、リフレッシュの必要なセルアレイのみリフレッシュすることができ、消費電力を低減することができる。

【0145】

(付記1) 記憶したデータをリフレッシュする半導体記憶装置において、メモリセルを所定の行ごとにブロック化したセルアレイと、前記セルアレイのワード線ごとに設けられ、リフレッシュする前記ワード線を選択するための選択信号を、制御信号に応じて順次入力して出力するシフトレジスタと、前記セルアレイごとに設けられ、前記リフレッシュが終了する前記セルアレイの前記シフトレジスタに出力している前記制御信号の出力を停止し、次にリフレッシュする前記セルアレイの前記シフトレジスタに前記制御信号を出力するシフトレジスタ制御回路と、を有することを特徴とする半導体記憶装置。

【0146】

(付記2) 前記シフトレジスタ制御回路は、前記リフレッシュが終了する前記セルアレイの前記シフトレジスタが出力する最後のワード線の前記選択信号を、次にリフレッシュする前記セルアレイの前記シフトレジスタに出力することを特徴とする付記1記載の半導体記憶装置。

【0147】

(付記3) 前記ワード線は、メインワード線とサブワード線とに階層化されており、

前記シフトレジスタ制御回路は、前記リフレッシュ対象となっているメモリセルアレイにおける前記サブワード線の全てのリフレッシュが終了したとき、次のリフレッシュ対象となる前記メモリセルアレイのシフトレジスタに前記制御信号を出力することを特徴とする付記1記載の半導体記憶装置。

【0148】

(付記4) 前記ワード線は、メインワード線とサブワード線とに階層化されており、前記メインワード線のアドレスが前記セルアレイにおいて一巡したとき、前記サブワード線のアドレスが進められることを特徴とする付記1記載の半導体記憶装置。

【0149】

(付記5) 前記セルアレイは、複数にブロック化され、前記ブロック化された一部のセルアレイ間においてパーシャルリフレッシュを行うパーシャルリフレッシュ制御回路を有することを特徴とする付記1記載の半導体記憶装置。

【0150】

(付記6) 前記パーシャルリフレッシュ制御回路は、前記リフレッシュが前記セルアレイのリフレッシュ開始点に戻ったとき、パーシャルリフレッシュの要求を受け付けることを特徴とする付記5記載の半導体記憶装置。

【0151】

(付記7) 前記パーシャルリフレッシュ制御回路は、前記リフレッシュを行っていた周期を、前記セルアレイの全領域に対する前記パーシャルリフレッシュが行われる領域の比に分周することを特徴とする付記5記載の半導体記憶装置。

【0152】

(付記8) 前記パーシャルリフレッシュ制御回路は、前記パーシャルリフレッシュが終了するとき、前記リフレッシュする領域を全セルアレイの領域に戻してから、前記リフレッシュを行う周期に戻すことを特徴とする付記7記載の半導体記憶装置。

【0153】

(付記9) 前記サブワード線のアドレスは、間引いて進められることを特徴とする付記4記載の半導体記憶装置。

(付記10) 前記セルアレイがリフレッシュされている間は、前記セルアレイの外部／内部アドレス切替え信号を、内部アドレスを参照するように維持することを特徴とする付記1記載の半導体記憶装置。

【0154】

(付記11) 前記ワード線ごとに、前記メモリセルの不良を救済する冗長回路を有することを特徴とする付記1記載の半導体記憶装置。

(付記12) 前記セルアレイは、シェアードセンスアンプによってデータがセンスされることを特徴とする付記1記載の半導体記憶装置。

【0155】**【発明の効果】**

以上説明したように本発明では、シフトレジスタ制御回路によって、セルアレイごとのシフトレジスタに制御信号を出力してリフレッシュするワード線を選択するための選択信号を出力させるようにした。これにより、シフトレジスタに出力する制御信号の電流消費を低減することができる。

【図面の簡単な説明】**【図1】**

本発明の半導体記憶装置の原理を説明する原理図である。

【図2】

第1の実施の形態に係る半導体記憶装置の回路図である。

【図3】

ワード線デコーダの回路図の一例である。

【図4】

シフトレジスタの回路図の一例である。

【図5】

シフトスイッチの回路図の一例である。

【図6】

RBLKラッチ回路の回路図の一例である。

【図 7】

シフト信号生成回路の回路図の一例である。

【図 8】

リフレッシュされるセルアレイが切替わるときの動作を説明するタイミングチャートである。

【図 9】

リフレッシュ動作までのクリティカルパスを説明する図である。

【図 10】

リフレッシュ動作までのクリティカルパスを説明するタイミングチャートである。

【図 11】

第 2 の実施の形態に係る半導体記憶装置の回路図である。

【図 12】

第 3 の実施の形態に係る半導体記憶装置の回路図である。

【図 13】

パーシャルリフレッシュのエントリ・イクジットとリフレッシュ周期を説明する図である。

【図 14】

図 13 のリフレッシュ領域と分周の関係を示した図である。

【図 15】

第 4 の実施の形態に係る半導体記憶装置の回路図である。

【図 16】

パーシャルリフレッシュのエントリ・イクジットとリフレッシュ周期を説明する図である。

【図 17】

図 16 のリフレッシュ領域と分周の関係を示した図である。

【符号の説明】

1 a, 1 b, 11 a, 11 b, 11 x セルアレイ

2 a ~ 2 n, 3 a ~ 3 n, 19 a ~ 19 n, 20 a, 20 b シフトレジスタ

4 a ~ 4 c シフトレジスタ制御回路

21 a, 21 b シフトスイッチ

22 a, 22 b RBLKラッチ回路

23 a, 23 b シフト信号生成回路

24 a, 24 b 制御信号生成回路

41 a, 41 b バッファ

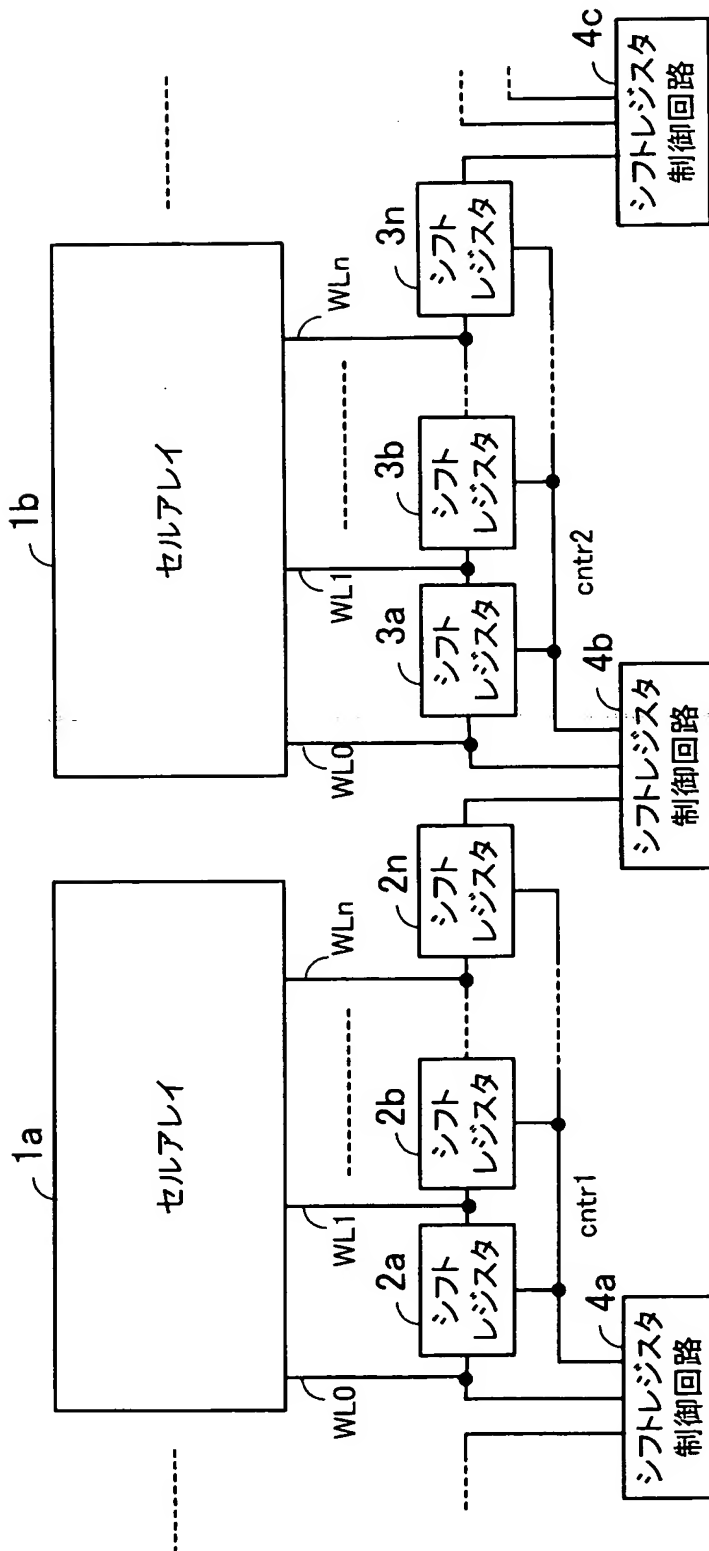
51, 71 パーシャルリフレッシュ制御回路

52, 72 リフレッシュ周期生成回路

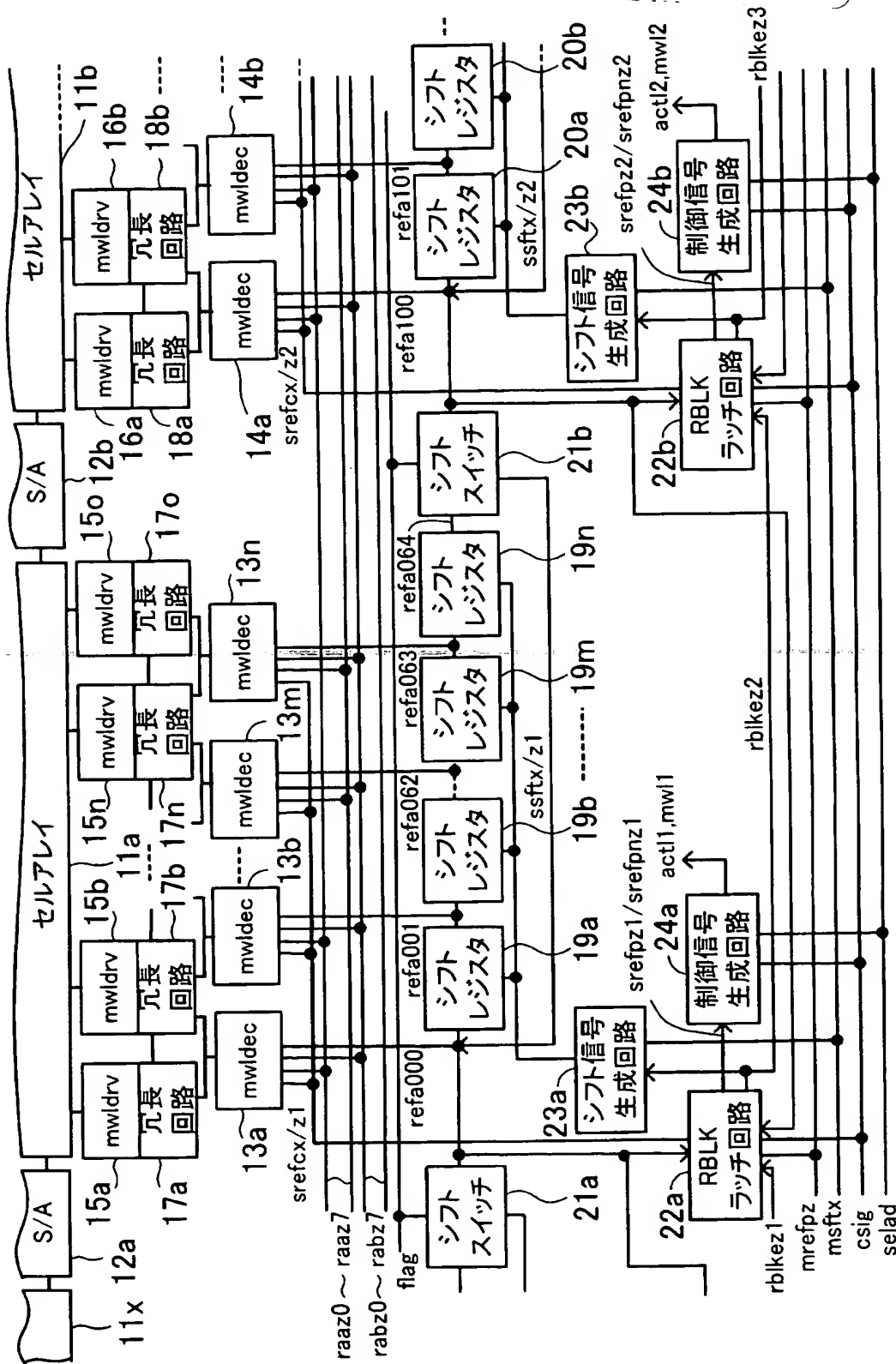
54, 74 リフレッシュアレイラッチ回路

【書類名】

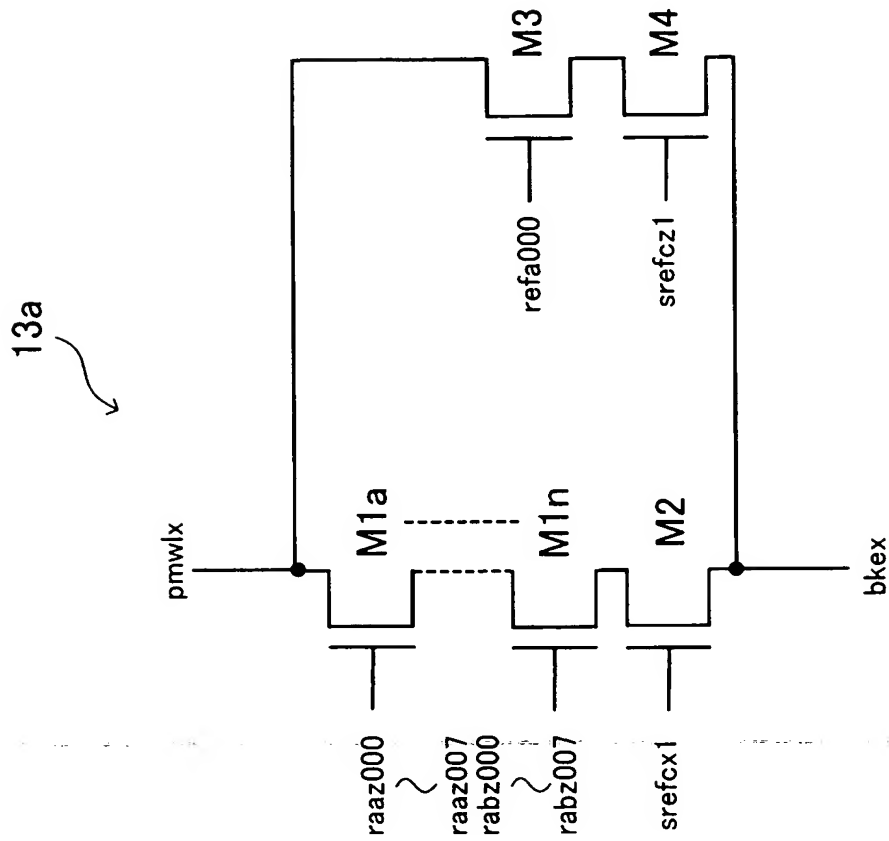
【図 1】



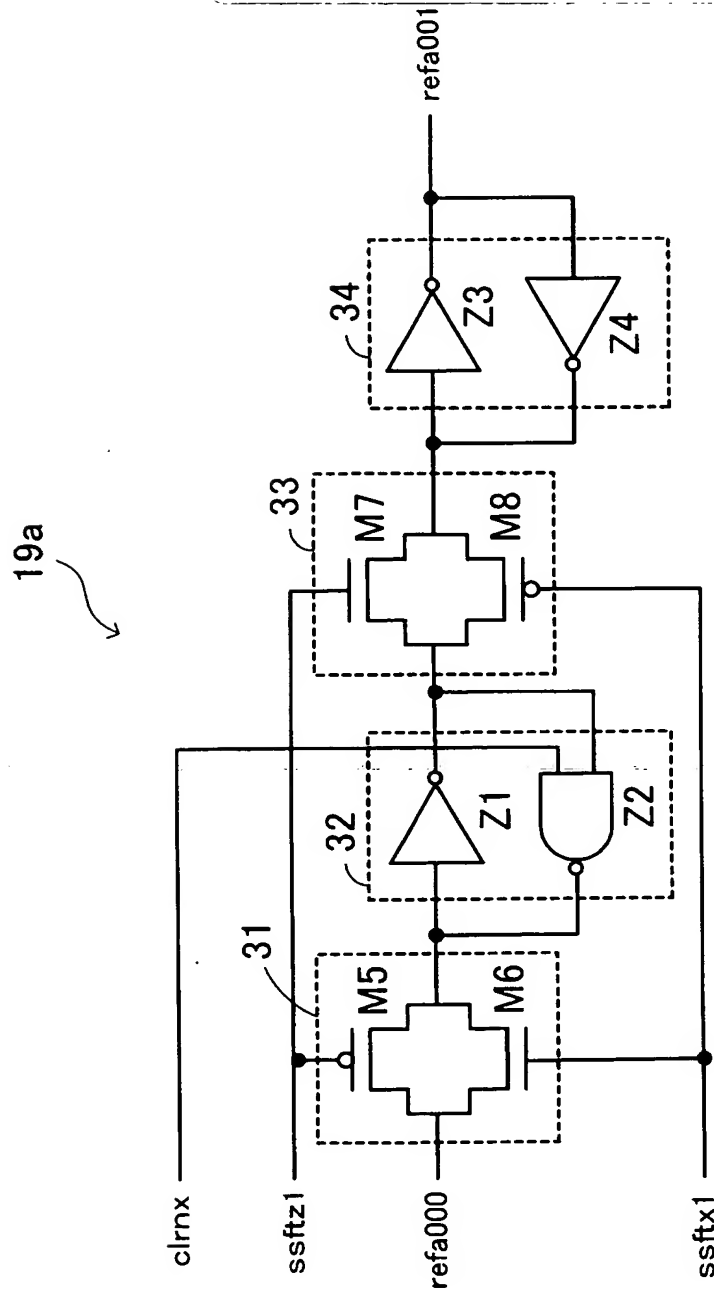
【図 2】



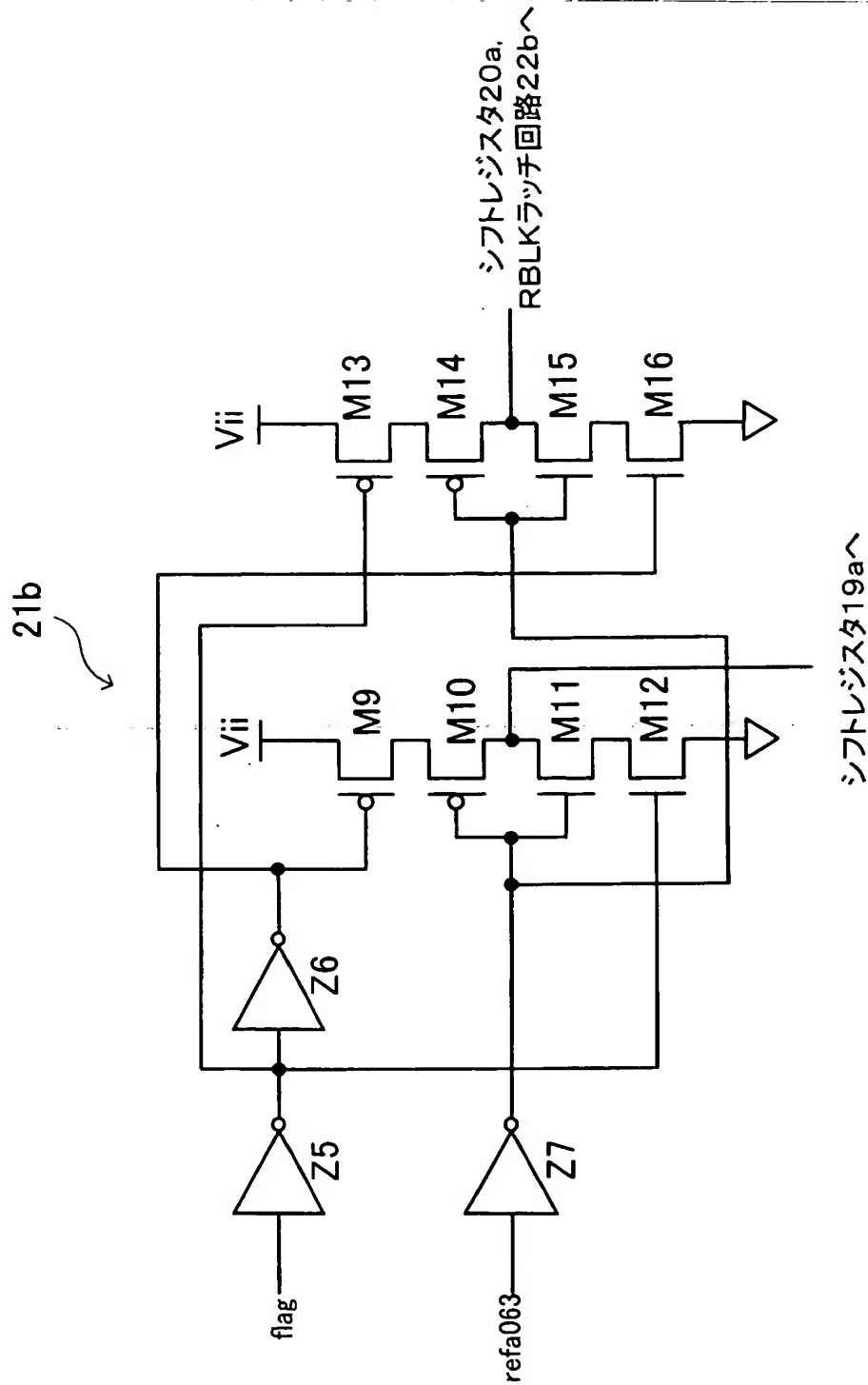
【図 3】



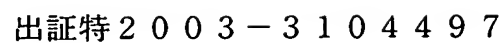
【図 4】



【図 5】

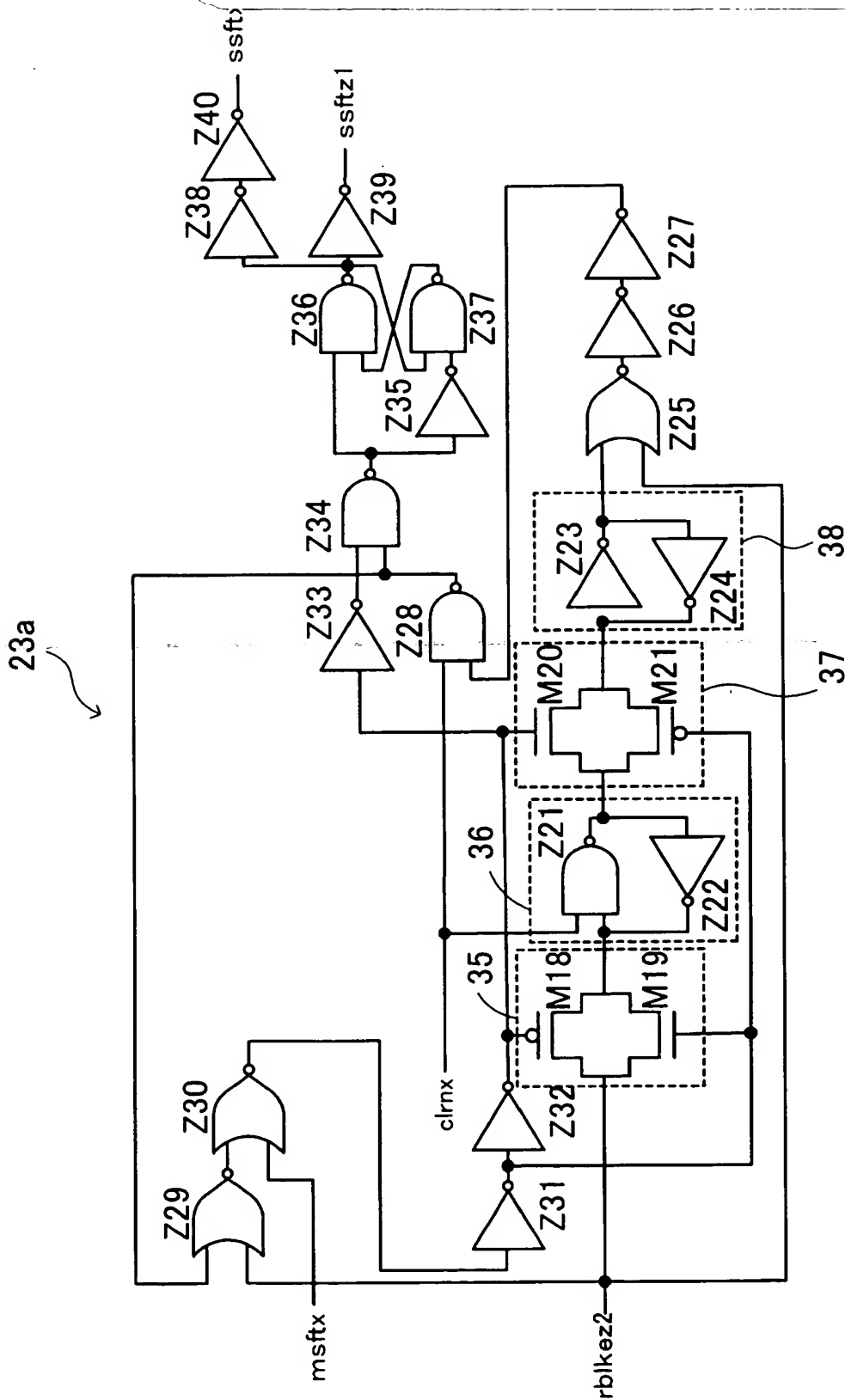


【図 6】



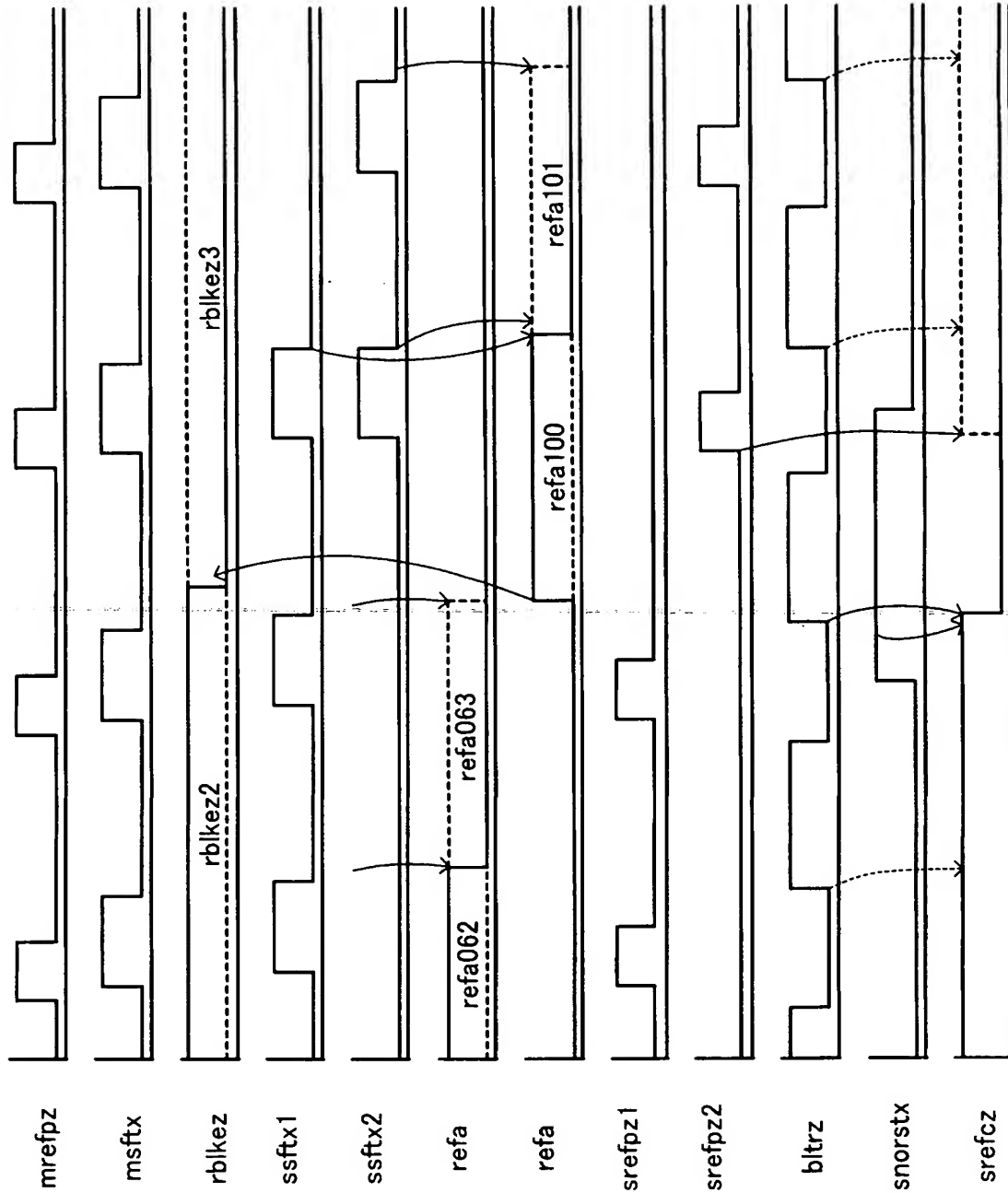
【図 7】

ARENT FOX PLLC
 1050 Connecticut Avenue, N.W., Suite 400
 Washington, D.C. 20036-5339
 Docket No. 108273-00007
 Serial No.: New Application Filed: March 16, 2004
 Inventor: MORI et al

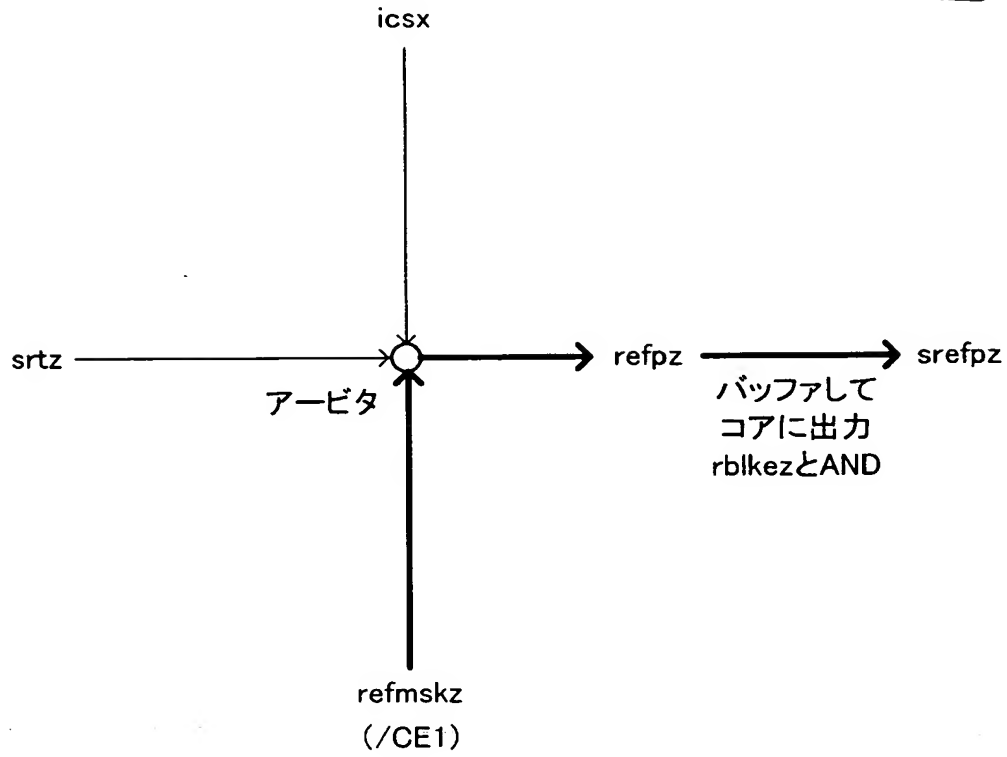


【図 8】

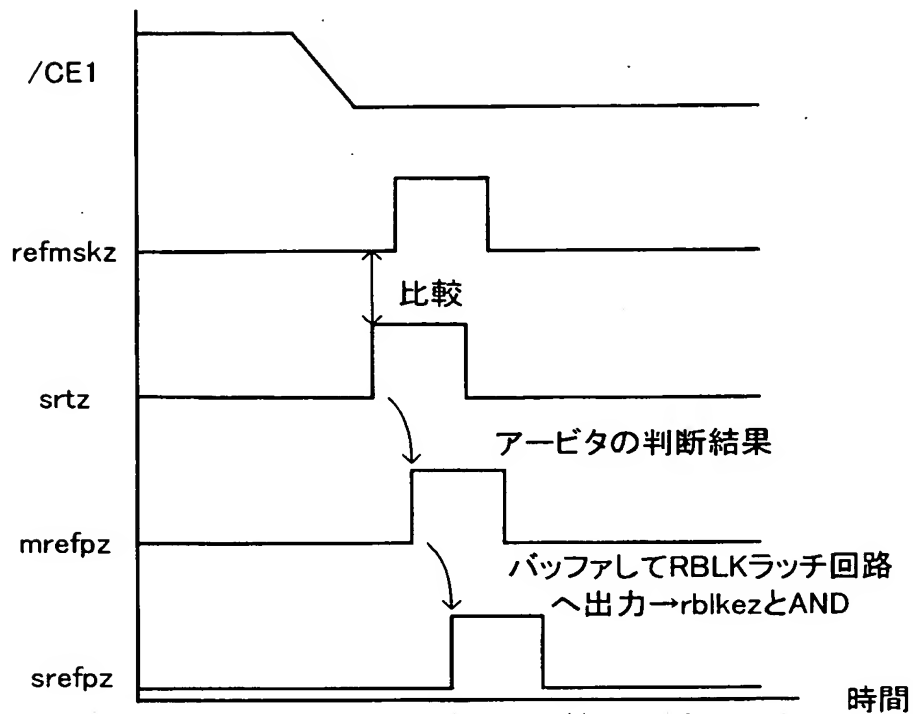
ARENT FOX PLLC
 1050 Connecticut Avenue, N.W., Suite 400
 Washington, D.C. 20036-5339
 Docket No. 108273-00007
 Serial No.: New Application Filed: March 16, 2004
 Inventor: MORI et al



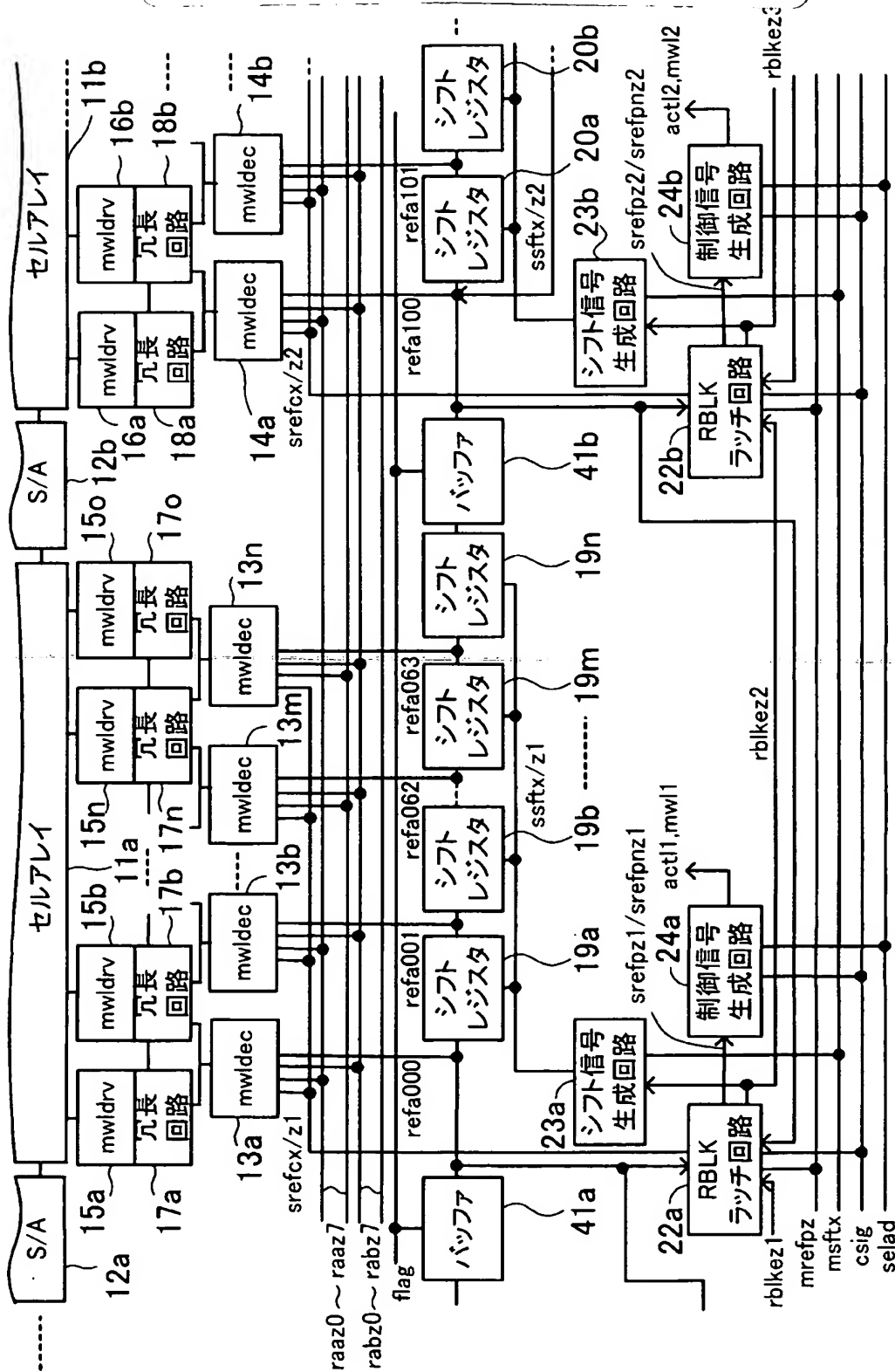
【図 9】



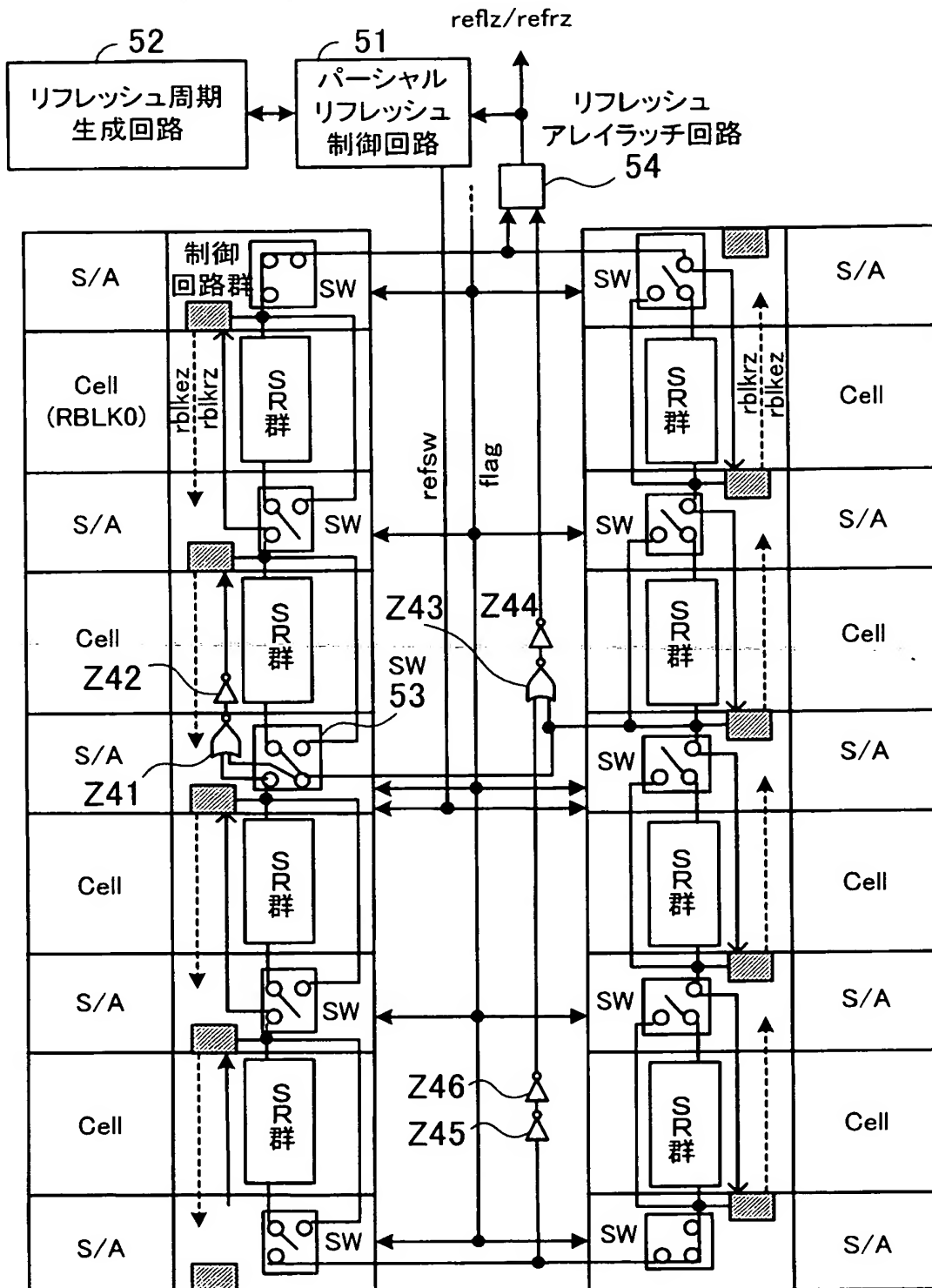
【図 10】



【図 11】

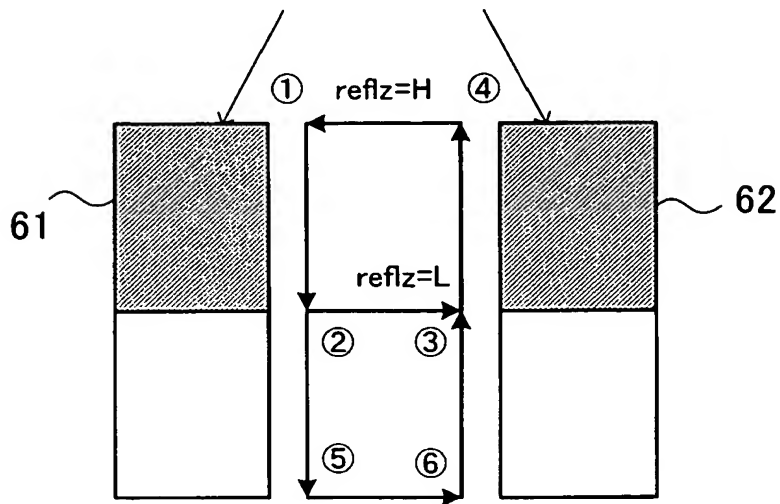


【図 12】



【図 1 3】

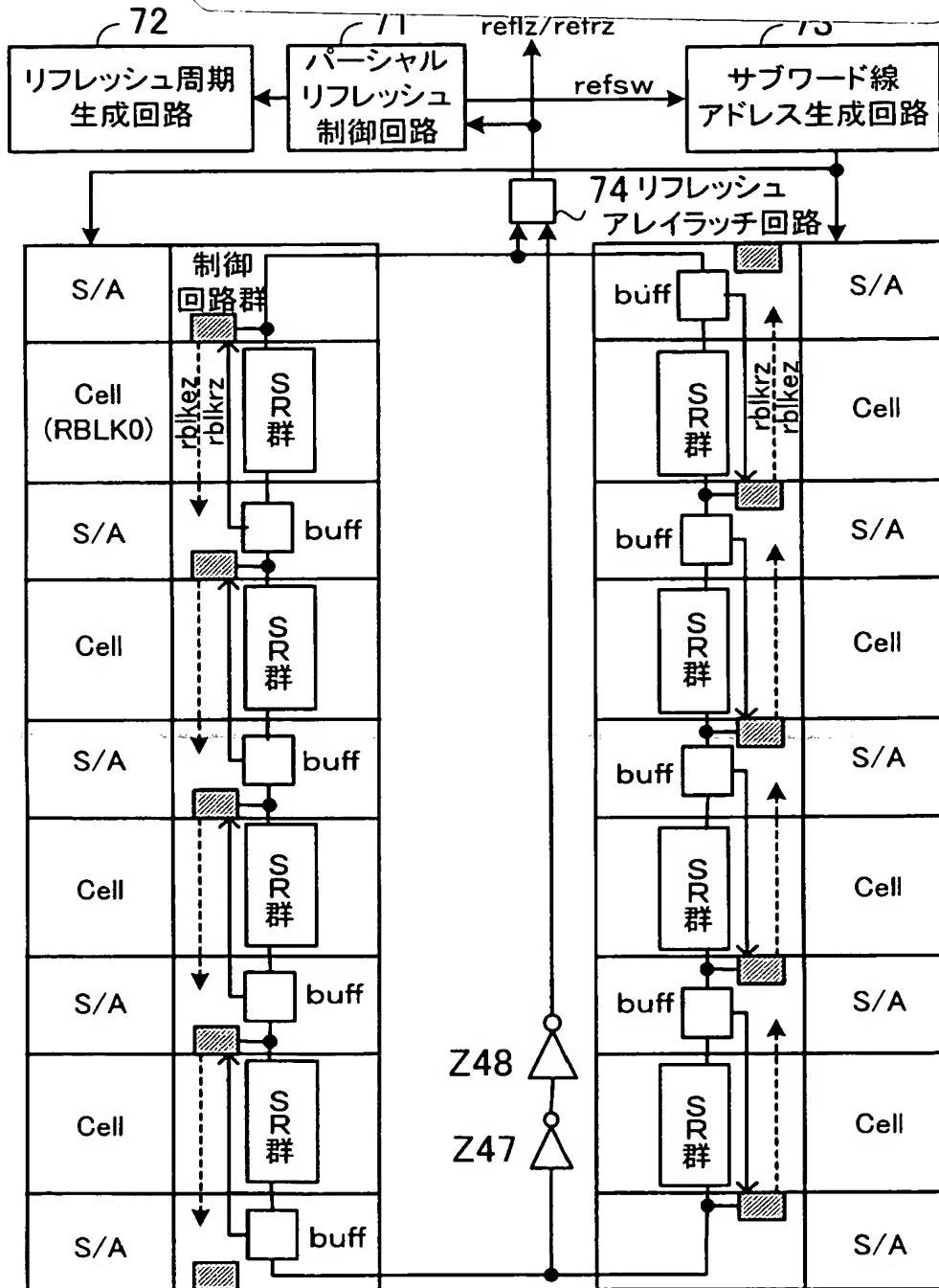
パーシャルリフレッシュモード時に
リフレッシュを行う領域



【図 1 4】

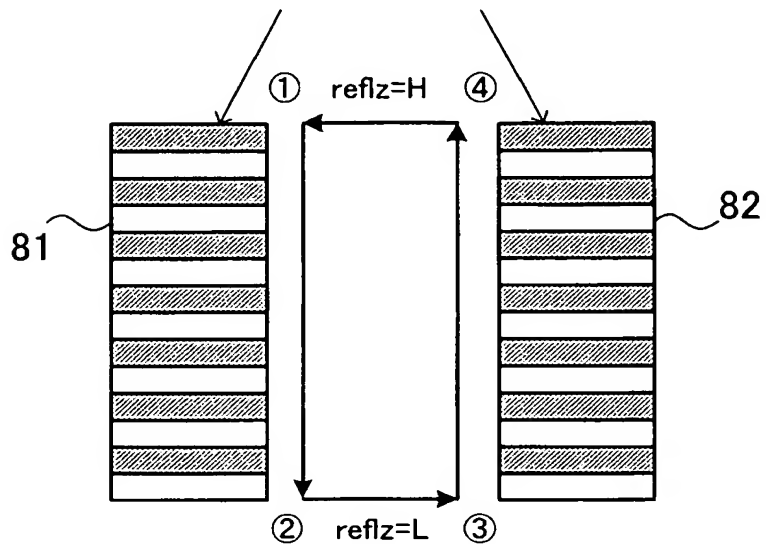
		セルア レイ	分周
通常	CE2=H	x1	x1
パーシャル エントリ開始	CE2=L	x1	x1
パーシャル	reflz=H(1回目)	1/2	x2
パーシャル イグジット開始	CE2=H	1/2	1/2
	reflz=H(1回目)	x1	1/2
通常	reflz=H(2回目)	x1	x1

【図 15】



【図 1 6】

パーシャルリフレッシュモード時に
リフレッシュを行う領域



【図 1 7】

		セルア レイ	分周
通常	CE2=H	x1	x1
パーシャル エントリ開始	CE2=L	x1	x1
パーシャル	reflz=H(1回目)	1/2	x2
パーシャル イグジット=通常	CE2=H	x1	x1

【書類名】 要約書

【要約】

【課題】 シフトレジスタを制御する制御信号の電流消費を低減する。

【解決手段】 セルアレイ 1 a, 1 b, ... は、メモリセルを所定の行ごとにブロック化したセルアレイである。シフトレジスタ 2 a ~ 2 n, 3 a ~ 3 n, ... は、セルアレイ 1 a, 1 b, ... のワード線ごとに設けられ、リフレッシュするワード線を選択するための選択信号を、制御信号 c n t r 1, c n t r 2, ... に応じて順次入力して出力する。シフトレジスタ制御回路 4 a, 4 b, 4 c, ... は、セルアレイ 1 a, 1 b, ... ごとに設けられ、リフレッシュが終了するセルアレイ 1 a, 1 b, ... のシフトレジスタ 2 a ~ 2 n, 3 a ~ 3 n, ... に出力している制御信号 c n t r 1, c n t r 2, ... の出力を停止し、次にリフレッシュするセルアレイ 1 a, 1 b, ... のシフトレジスタ 4 a, 4 b, 4 c, ... に制御信号 c n t r 1, c n t r 2, ... を出力する。

【選択図】 図 1



特願 2 0 0 3 - 0 7 1 6 6 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社